

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-322215

(43)Date of publication of application : 04.12.1998

(51)Int.Cl.

H03M 3/02

H03M 7/32

(21)Application number : 09-130149

(71)Applicant : SHARP CORP

(22)Date of filing : 20.05.1997

(72)Inventor : KISHIDA MASAHIRO

(54) SIGNAL TRANSMISSION METHOD BY MEANS OF 1-BIT DIGITAL SIGNAL, DELTA SIGMA MODULATION CIRCUIT AND DEMODULATION CIRCUIT

(57)Abstract:

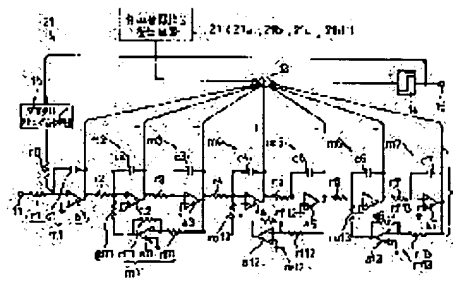
PROBLEM TO BE SOLVED: To provide a signal transmission method where a subsignal is superimposed on a main signal with a simple circuit and the superimposed signal is transmitted by means of a 1-bit digital signal and to provide a delta sigma modulation circuit and a demodulation circuit.

SOLUTION: In the delta sigma modulation circuit 31, an input signal is integrated in high degree by integration devices m1-m7. All outputs from the integrators of each degree are added by an adder 13, the sum is quantized by a quantizer 14, which provides an output of a 1-bit digital signal. A dip is formed at a prescribed zero point frequency in a quantized noise frequency characteristic of the 10-bit digital signal by a partial negative feedback loop consisting of feedback circuits m11-m13. Furthermore, an additional information signal generating circuit 21 generates a signal whose carrier

frequency is the zero point frequency as channel information and gives the signal to the adder 13. The channel information is superimposed on the main signal in terms of the 1-bit digital signal through frequency division multiplexing at the zero point frequency.

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.



- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A process which carries out delta sigma modulation of the main signal which has predetermined effective frequency so that quantization noise in specific frequency as which it determines in the above-mentioned effective frequency band beforehand using zero intermittent control may fall, and is modulated to 1 bit digital signals.

A transmission process of transmitting 1 bit digital signals via a transmission line or a recording medium, and a process of restoring to the told above-mentioned 1 bit digital signals.

Are a signal transmission method through 1 bit digital signals provided with the above, and further after a process of superimposing a sub-signal on a main signal of the above-mentioned 1 bit digital signals by Frequency Division Multiplexing with the above-mentioned specific frequency in front of the above-mentioned transmission process, and the above-mentioned transmission process, It discriminated from the above-mentioned specific frequency of the above-mentioned 1 bit digital signals, and has a process of extracting the above-mentioned sub-signal.

[Claim 2]Two or more integrators which an input signal used as a main signal was inputted into the first rank, and were mutually connected to concatenation.

An adding machine adding an output of each above-mentioned integrator.

A quantizer which quantizes an output of the above-mentioned adding machine and outputs 1 bit digital signals.

A partial negative feedback circuit to which quantization noise of the above-mentioned 1 bit digital signals in specific frequency which carries out negative feedback of the output of the above-mentioned integrator to an input side of an integrator of the preceding paragraph, and defines it from the integrator concerned beforehand to it is reduced.

It has a sub-signal superposing means which is the delta sigma modulation circuit provided with the above, and superimposes a sub-signal on a main signal of the above-mentioned 1 bit digital signals by Frequency Division Multiplexing with the above-mentioned specific frequency.

[Claim 3]The delta sigma modulation circuit according to claim 2, wherein the above-mentioned sub-signal superposing means inputs the above-mentioned sub-signal into one of the inputs of the above-mentioned adding machine via a subcarrier of the above-mentioned specific frequency.

[Claim 4]The above-mentioned main signal is an audio signal, and the above-mentioned sub-signal A flag for channel information, existence of pre-emphasis, and copyright protection, an ID code, a mastering code, Or the delta sigma modulation circuit according to claim 2 or 3 being a signal which shows at least one of hour entries.

[Claim 5]In a demodulator circuit to which it restores, 1 bit digital signals generated by carrying out delta

sigma modulation in a main signal for which it has a predetermined effective frequency band so that quantization noise in specific frequency in the above-mentioned effective frequency band defined beforehand might fall using zero intermittent control to a main signal of the above-mentioned 1 bit digital signals. A demodulator circuit being superimposed on a sub-signal by Frequency Division Multiplexing via a subcarrier of the above-mentioned specific frequency, discriminating from the above-mentioned specific frequency component from the above-mentioned 1 bit digital signals, and extracting the above-mentioned sub-signal, and having a control means which performs predetermined processing according to the sub-signal concerned.

[Claim 6]The demodulator circuit according to claim 5, wherein the above-mentioned main signal is an audio signal, and the above-mentioned sub-signal is channel information which shows a channel of the audio signal concerned and the above-mentioned control means performs separation of right and left or multi-channel based on the channel information concerned.

[Claim 7]The demodulator circuit according to claim 5, wherein the above-mentioned main signal is an audio signal, and the above-mentioned sub-signal is a flag which shows existence of pre-emphasis of the audio signal concerned and the above-mentioned control means controls ON and OFF of DIENFASHISU based on the flag concerned.

[Claim 8]The above-mentioned main signal is an audio signal, and the above-mentioned sub-signal, The demodulator circuit according to claim 5, wherein it is at least one of a flag for copyright protection of the audio signal concerned, an ID code, or mastering codes and the above-mentioned control means restricts a copy or a demodulation output of the above-mentioned audio signal based on the sub-signal concerned.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the signal transmission method using the delta sigma modulation especially used for audio signal processing etc. suitably, for example, a delta sigma modulation circuit, and the demodulator circuit of 1 bit digital signals generated in delta sigma modulation.

[0002]

[Description of the Prior Art]As a method which transmits a digital signal, the multibit coding mode which transmits as a pause one word which consists of two or more bits, and the method coded and transmitted to 1 bit digital signals using delta sigma modulation are known conventionally.

[0003]In the case of a multibit coding mode, the transmission or record side encodes data to one word according to a predetermined format. On the other hand, the reception or reproduction side takes a word synchronization, distinguishes a pause of each word, and decodes each word and identifies data. Therefore, the digital disposal circuit which performs signal processing according to the format of the word by the both-sides side is needed. As a result, once the format of a word is determined and a sampling frequency, a dynamic range, etc. are standardized, it is difficult to change a standard. Since a word synchronization is needed in the method concerned, the error correction circuit for being easy to be influenced by a transmission line etc. and correcting the generated error is indispensable.

[0004]On the other hand, since 1 bit digital signals are the word synchronous unnecessary data flow subdivided minutely, a 1-bit digital coding mode cannot be easily influenced by a transmission line etc., and has the advantage that it is strong to an error. Therefore, in the method concerned, an error correction circuit becomes unnecessary in the both sides of transmission or a recorder, and reception or playback equipment. Since the reception or reproduction side can restore to the 1 bit digital signals concerned to an analog signal by the easy low pass filter of the low next when 1 bit digital signals are audio signals, a processing circuit complicated to a recovery becomes unnecessary. Therefore, in recent years, the 1-bit digital coding mode with many advantages attracts attention compared with the multibit coding mode.

[0005]As shown in drawing 12, in the conventional typical delta sigma modulation circuit 100, the integrators m101-m107 connected to concatenation are integrated with the audio signal of an analog inputted from the input terminal 101. After the integrator output of each stage is added with the adding machine 103, it is inputted into the quantizer 104. When the output of the adding machine 103 is zero or more, the quantizer 104 draws the output of "1" to the output terminal 106, and derives an output in case the output of the adding machine 103 is less than zero "0." Negative feedback of the output of the quantizer 104 is carried out to the input side of the integrator m101 of the first rank via the digital/analog converter 105 and the feedback resistor r100.

[0006]In order to form dip in the noise floor of 1 bit digital signals which the delta sigma modulation circuit 101 outputs on the other hand and to adjust the noise floor shape concerned to desired shape, the three feedback circuits m111-m113 are established in the integration circuit 102 of the delta sigma modulation circuit 101. The feedback circuit m111 carries out negative feedback of the output of the integrator m103 of the 3rd step to the input side of the integrator m102 of the 2nd step, and the feedback circuits m112 and m113, Negative feedback of the output of the integrators m105 and m107 of the 5th and the 7th step is carried out to the input side of the integrators m104 and m106 of the 4th and the 6th step.

[0007]Three partial negative feedback loops are formed of these feedback circuits m111-m113, and the quantization noise level of 1 bit digital signals falls steeply focusing on the frequency (zero point frequency) according to the gain of each partial negative feedback loop. Below, the portion to which the level is falling among the frequency characteristics of a quantization noise is called dip. The quantization noise of a high region is controlled by these dip, for example, 20 etc. kHz etc. of levels of a quantization noise can be maintained below at a predetermined value to the maximum of a desired use frequency band by it.

[0008]In the above-mentioned delta sigma modulation circuit 100, after an audio signal is modulated to 1 bit digital signals, in the reception or playback equipment which is not illustrated, it restores to the 1 bit digital signals concerned to the audio signal of an analog by the low pass filter of the low next, etc.

[0009]

[Problem(s) to be Solved by the Invention]However, when it becomes irregular using the delta sigma modulation circuit 100 of the above-mentioned composition, it has the problem that it is difficult to transmit the both sides of main signals, such as an audio signal, and sub-signals, such as a flag which shows channel information, for example.

[0010]Here, the case of the signal transmission method in a multibit coding mode is made into an example as a conventional method of transmitting the both sides of a main signal and a sub-signal, and it explains. Below, a main signal and a sub-signal are explained about transmission or the method of carrying out record

reproduction, using digital audios, such as a compact disk, for example as an example of the typical multibit coding mode in the former.

[0011]In the case of a compact disk, the sampling frequency F_s is set as 44.1 kHz, and as shown in drawing 13, the upper limited frequency F_a of a voice band becomes $1 / 2F_s$, i.e., 22.05 kHz. Here, in the frequency band from F_a to F_s , since the signal of a voice band carries out image inversion and is turned up by F_a , this zone (clinch field) cannot be used for a signal transmission. Therefore, when transmitting sub-codes, such as a flag which identifies whether it is which a channel on either side, for example, as a sub-signal, the sub-code concerned is divided and transmitted [audio signal / which is a main signal] to a time base direction with the main data in which an audio signal is shown, respectively.

[0012]As a result, in the transmission or record side, the circuit which encodes the above-mentioned flag and an audio signal is needed according to the standardized data format, and in the reception or reproduction side. The data received or reproduced is decoded and the circuit which separates the above-mentioned main data and a sub-code is needed.

[0013]Since the method of carrying out the time sharing of main data and the sub-code, and transmitting them checks the advantage of the 1-bit digital coding mode that it can get over in an easy circuit, it is inapplicable to a 1-bit digital coding mode.

[0014]this invention is made in view of the above-mentioned problem, and comes out. The purpose is a circuit and there is in providing the signal transmission method, delta sigma modulation circuit, and demodulator circuit which superimpose a sub-signal on a main signal and pass 1 bit digital signals which can be transmitted.

[0015]

[Means for Solving the Problem]A signal transmission method through 1 bit digital signals concerning an invention of claim 1, In order to solve an aforementioned problem, zero intermittent control is used for a main signal which has predetermined effective frequency, A process which carries out delta sigma modulation and is modulated to 1 bit digital signals so that quantization noise in specific frequency in the above-mentioned effective frequency band defined beforehand may fall, In a signal transmission method through 1 bit digital signals which have a transmission process of transmitting 1 bit digital signals via a transmission line or a recording medium, and the process of restoring to the told above-mentioned 1 bit digital signals, it is characterized by having a process of further the following.

[0016]That is, it has a process of superimposing a sub-signal on a main signal of the above-mentioned 1 bit digital signals by Frequency Division Multiplexing with the above-mentioned specific frequency, and a process of discriminating from the above-mentioned specific frequency of the above-mentioned 1 bit digital signals after the above-mentioned transmission process, and extracting the above-mentioned sub-signal, before the above-mentioned transmission process.

[0017]In the above-mentioned composition, delta sigma modulation of the main signal given as an analog signal, a multibit digital signal, etc. is carried out to 1 bit digital signals by the abnormal-conditions side, for example. Under the present circumstances, a quantization noise level of 1 bit digital signals is falling by zero intermittent control with specific frequency in an effective frequency band of a main signal defined beforehand.

[0018]1 bit digital signals are overlapped on a sub-signal by Frequency Division Multiplexing via a subcarrier

of specific frequency at the abnormal-conditions side. Since a quantization noise level is falling, in the specific frequency concerned a level difference with a lower limit of the quantization noise level concerned and a level of a main signal, Compared with frequency of the neighborhood in an effective frequency band, it is large, and both sides of a dynamic range of a main signal and a dynamic range of a sub-signal can be secured in the specific frequency concerned.

[0019]On the other hand, if the 1 bit digital signals concerned are transmitted via a transmission line or a recording medium, in the recovery side, a main signal will be recovered from received 1 bit digital signals. For example, when a main signal is an audio signal, a main signal included in 1 bit digital signals passes an easy low pass filter of the low next, and gets over.

[0020]In the recovery side, for example using a band pass filter, the Fourier transform, etc., it discriminates from a specific frequency component of the above-mentioned 1 bit digital signals, and a sub-signal is extracted. Since a dynamic range of a main signal and a dynamic range of a sub-signal are enough secured as mentioned above, in the recovery side, a sub-signal can be extracted that there is no trouble in any way.

[0021]In a signal transmission method through the above-mentioned 1 bit digital signals, since a main signal is overlapped on a sub-signal by Frequency Division Multiplexing, complicated composition which is needed when transmitting in Time Division Multiplexing etc. is not needed, but a circuit for signal processing can be simplified. As a result, a main signal and a sub-signal can be superimposed, without checking an advantage in a case of transmitting a signal with 1 bit digital signals.

[0022]The above-mentioned specific frequency is set up in an effective frequency band of a main signal. Therefore, the third party who does not know specific frequency cannot separate a main signal and a sub-signal. For example, even if a third party discriminates only from an effective band ingredient of a main signal from 1 bit digital signals, both sides of a main signal and a sub-signal are included in a signal from which it was discriminated. Even if it compares when it adds by Time Division Multiplexing since it is Frequency Division Multiplexing, it is hard to separate a main signal and a sub-signal. As a result, an alteration of a sub-signal by a third party can be prevented.

[0023]A delta sigma modulation circuit concerning an invention of claim 2, Two or more integrators which an input signal used as a main signal was inputted into the first rank, and were mutually connected to concatenation in order to solve an aforementioned problem, An output of an adding machine adding an output of each above-mentioned integrator and the above-mentioned adding machine is quantized, Negative feedback of the output of a quantizer which outputs 1 bit digital signals, and the above-mentioned integrator is carried out from the integrator concerned to an input side of an integrator of the preceding paragraph, In a delta sigma modulation circuit which has a partial negative feedback circuit to which quantization noise of the above-mentioned 1 bit digital signals in specific frequency defined beforehand is reduced, It is characterized by having a sub-signal superposing means which superimposes a sub-signal on a main signal of the above-mentioned 1 bit digital signals by Frequency Division Multiplexing with the above-mentioned specific frequency.

[0024]In the above-mentioned composition, delta sigma modulation of the input signal is carried out to 1 bit digital signals by an integrator, an adding machine, a quantizer, and partial negative feedback circuit. Inputting into the above-mentioned adding machine a signal of specific frequency generated based on a sub-signal for example, a sub-signal superposing means superimposes a sub-signal on a main signal of the 1

bit digital signals concerned in Frequency Division Multiplexing.

[0025]The above-mentioned specific frequency is set up by a gain of a partial negative feedback loop formed of an integrator, a partial negative feedback circuit, etc., and a level of quantization noise of 1 bit digital signals is falling with the specific frequency concerned. Therefore, in the specific frequency concerned, both sides of a dynamic range of a main signal and a dynamic range of a sub-signal are certainly securable.

[0026]So, a delta sigma modulation circuit which can be modulated to 1 bit digital signals can be provided for a main signal and a sub-signal like claim 1, without checking the feature of delta sigma modulation that a recovery is easy. Since the delta sigma modulation circuit concerned superimposes a sub-signal in an effective frequency band of a main signal, it can make difficult removal or an alteration of a sub-signal by a third party.

[0027]A delta sigma modulation circuit concerning an invention of claim 3 is characterized by the above-mentioned sub-signal superposing means inputting the above-mentioned sub-signal into one of the inputs of the above-mentioned adding machine via a subcarrier of the above-mentioned specific frequency in composition of the invention according to claim 2.

[0028]In the above-mentioned composition, a sub-signal superposing means is using an adding machine used for delta sigma modulation also for superposition of a sub-signal. Therefore, a circuit provided for superposition can be simplified.

[0029]A delta sigma modulation circuit concerning an invention of claim 4, In composition of the invention according to claim 2 or 3, the above-mentioned main signal, It is an audio signal and the above-mentioned sub-signal is characterized by being a flag for channel information, existence of pre-emphasis, and copyright protection, an ID code, a mastering code, or a signal that shows at least one of hour entries.

[0030]In the above-mentioned composition, information used as each of above-mentioned sub-signals relates to an audio signal used as a main signal closely, and is information with little amount of information. Therefore, when there are few level differences of a quantization level in specific frequency and a lower limit of a main signal level, namely, even if it is a case where a dynamic range of a sub-signal cannot take not much widely, by sufficient S/N, a sub-signal is superimposed, and it can transmit or record. As a result, in the recovery side, processings relevant to a main signal, such as channel separation and control of pre-emphasis, can be performed based on the above-mentioned sub-signal.

[0031]In order that a demodulator circuit concerning an invention of claim 5 may solve an aforementioned problem, a main signal which has a predetermined effective frequency band, In a demodulator circuit which restores to 1 bit digital signals generated by carrying out delta sigma modulation so that quantization noise in specific frequency in the above-mentioned effective frequency band defined beforehand might fall using zero intermittent control, A main signal of the above-mentioned 1 bit digital signals is overlapped on a sub-signal by Frequency Division Multiplexing via a subcarrier of the above-mentioned specific frequency, discriminate from the above-mentioned specific frequency component from the above-mentioned 1 bit digital signals, and extract the above-mentioned sub-signal, and. It is characterized by having a control means which performs predetermined processing according to the sub-signal concerned.

[0032]In the above-mentioned composition, since a level of quantization noise of 1 bit digital signals is falling in specific frequency, in the specific frequency concerned, a securable dynamic range is large

compared with frequency of the neighborhood in an effective frequency band, and can fully secure S/N of a sub-signal. Therefore, by discriminating from the specific frequency component concerned, a sub-signal on which 1 bit digital signals were overlapped can be extracted, for example, as for the above-mentioned control means, separation of a channel, etc. can perform predetermined processing. Since the above-mentioned sub-signal is superimposed by Frequency Division Multiplexing, the demodulator circuit can restore to a main signal easily compared with a case where it superimposes by Time Division Multiplexing.

[0033]By a control means's supervising a level of a main signal, and extracting a sub-signal in composition of the invention according to claim 5, when the level concerned is below a predetermined value, When dip cannot be formed not much deeply, namely, even if it is a case where a quantization noise level in specific frequency seldom falls, a sub-signal can be extracted certainly.

[0034]In composition of the invention according to claim 5, a demodulator circuit concerning an invention of claim 6 the above-mentioned main signal, It is an audio signal, and the above-mentioned sub-signal is channel information which shows a channel of the audio signal concerned, and the above-mentioned control means is characterized by performing separation of right and left or multi-channel based on the channel information concerned.

[0035]So, the demodulator circuit can judge a channel of an audio signal correctly. Therefore, when a transmission line which transmits 1 bit digital signals of each channel is changed for example, even if usual is a case where 1 bit digital signals of a different channel are received, a demodulator circuit, The demodulator circuit concerned becomes separable [right and left or multi-channel] convenient at all. As a result, when a demodulator circuit sound-izes an audio signal or performs record and transmission further, for example, as for the demodulator circuit concerned, a right channel can perform an output of an audio signal, etc.

[0036]On the other hand in composition of the invention according to claim 5, a demodulator circuit concerning an invention of claim 7 the above-mentioned main signal, It is an audio signal, and the above-mentioned sub-signal is a flag which shows existence of pre-emphasis of the audio signal concerned, and the above-mentioned control means is characterized by controlling ON and OFF of DIENFASHISU based on the flag concerned.

[0037]So, the demodulator circuit can distinguish certainly whether an audio signal of received 1 bit digital signals is a signal by which pre-emphasis processing was carried out, and can apply DIENFASHISU to an audio signal.

[0038]In composition of the invention according to claim 5, a demodulator circuit concerning an invention of claim 8 the above-mentioned main signal, It is an audio signal, and the above-mentioned sub-signal is at least one of a flag for copyright protection of the audio signal concerned, an ID code, or mastering codes, and the above-mentioned control means is characterized by restricting a copy or a demodulation output of the above-mentioned audio signal based on the sub-signal concerned.

[0039]In the above-mentioned composition, the above-mentioned control means restricts a copy or a demodulation output of an audio signal, when a sub-signal is extracted from 1 bit digital signals and a sub-signal has not permitted a copy or a demodulation output. For example, when a flag for copyright protection as a sub-signal of the abnormal-conditions side is superimposed for the purpose of protecting copyright of an audio signal, it responds to an abnormal-conditions side, i.e., an intention of a maker of an

audio signal, and a copy or a recovery of an audio signal by the side of a recovery is restricted. When an ID code for distinguishing an audio signal, a mastering code for identifying classification of an audio signal, etc. are superimposed as a sub-signal, based on these sub-signals the recovery side, When it is not distinguished and permitted whether oneself is permitted a copy or a demodulation output of the audio signal concerned, a copy or a recovery is restricted. Since a control means restricts a copy or a demodulation output of an audio signal based on a sub-signal even if it is which case, in the abnormal-conditions side, permission/disapproval of a copy by the side of a recovery or a demodulation output can be specified.

[0040]By the way, if the above-mentioned sub-signal will be altered by the time it receives 1 bit digital signals, the demodulator circuit cannot restrict a copy or a demodulation output of an audio signal. Therefore, conventionally, in order to prevent an alteration of a sub-signal, a sub-signal was enciphered and an alteration of a sub-signal is prevented, for example. However, in this method, in order to encipher and decrypt, complicated circuits, such as a sequence circuit, are needed, for example.

[0041]On the other hand, in composition of the invention according to claim 8, Frequency Division Multiplexing of the sub-signal is carried out with specific frequency in an effective frequency band of an audio signal. Therefore, the third party who does not know the above-mentioned specific frequency cannot even do separating a sub-signal and a main signal, and cannot alter easily. As a result, compared with a sub-signal transmitted by Time Division Multiplexing, an alteration is difficult like before. Since the above-mentioned specific frequency is provided in an effective frequency band, if a certain frequency component is removed carelessly, an audio signal will change. Therefore, an alteration of a sub-signal can be prevented still more certainly. As a result, the demodulator circuit can restrict a copy or a demodulation output of an audio signal certainly based on the permission/disapproval of a copy or a demodulation output directed to the abnormal-conditions side.

[0042]Each of flags for a sub-signal adopted in composition of an invention given in eight from claim 6, i.e., channel information, existence of pre-emphasis, and copyright protection, ID codes, and mastering codes has little amount of information, and a flag of a small bit can show them. Therefore, the demodulator circuit which starts eight statements from claim 6 can distinguish a sub-signal certainly, even if a dynamic range securable for a sub-signal is comparatively narrow.

[0043]

[Embodiment of the Invention]

[A 1st embodiment] It is as follows when one embodiment of this invention is described based on drawing 4 from drawing 1. That is, the audio signal transmission equipment concerning this embodiment is a device which transmits an audio signal as a main signal, and the channel information which shows whether the audio signal concerned is which a channel on either side is being used for it as a sub-signal which carries out multiplex to the main signal concerned by frequency division.

[0044]As shown in drawing 2, the above-mentioned audio signal transmission equipment 1, After carrying out delta sigma modulation of the audio signal of the analog which the sound signal sources 2L and 2R of the right-and-left channel outputted, or multibit to 1 bit digital signals in the sending circuit 3, via the transmission lines 4L and 4R, such as an optical fiber, It transmits to the receiving circuit (demodulator circuit) 5, and it restores to these 1 bit digital signals, and sound-izes from the loudspeakers 7L and 7R of a

right-and-left channel via the amplifier 6L and 6R in the receiving circuit 5. Here, in order to distinguish correctly the audio signal of right-and-left each channel and to carry out a demodulation output to substitution of the above-mentioned transmission lines 4L and 4R etc., in the sending circuit 3, frequency multiplexing of the channel information which serves as a sub-signal by either (here the left channel) is carried out to the audio signal used as a main signal. Below, when referring to each member and not distinguishing right and left in particular, or when naming both generically, the alphabetic character (R or L) attached at the end of the reference mark is excluded, for example, it is referred to like the sound signal source 2.

[0045]As shown in drawing 1, the above-mentioned delta sigma modulation circuit 31 is provided with the following.

The integration circuit 12 which carries out high order integration of the audio signal of an analog inputted into the input terminal 11 from the above-mentioned sound signal source 2.

each -- the adding machine 13 adding the next integrated output.

The quantizer 14 which quantizes the output of the adding machine 13 and outputs 1 bit digital signals.

The digital/analog converter 15 which changes the output of the quantizer 14 concerned into an analog value, and is returned to the above-mentioned integration circuit 12.

[0046]The above-mentioned quantizer 14 samples the output of the adding machine 13 by predetermined sampling frequency F_S , when the output concerned is zero or more, draws the output of "1" and derives the output at the time "0" of less than zero. Thereby, 1 bit digital signals of sampling frequency F_S are outputted from the output terminal 16.

[0047]In the 1-bit digital coding mode which carries out the high speed sampling of the multibit digital signal, sampling frequency F_S of the quantizer 14 will usually be set up the predetermined number twice of $f_s(es)$, such as $32f_s$ and $64f_s$, for example, if the sampling frequency of a multibit digital signal is set to f_s . Here, in the case of $32f_s$, like [in the case of a compact disk], if $f_s=44.1\text{kHz}$, F_S will be set to 2.82 MHz in the case of 1.41 MHz and $64f_s$.

[0048]The 7th integrators m_1-m_7 with which cascade connection of the above-mentioned integration circuit 12 was carried out on the other hand, The feedback resistor r_0 provided between the feedback circuits (partial negative feedback circuit) $m_{11}-m_{13}$ for constituting a partial negative feedback loop, and the input side of the integrator m_1 of the first rank and the above-mentioned digital/analog converter 15 is provided, and it is constituted. The feedback resistor r_0 concerned is connected to the inversed input terminal of the differential amplifier a_1 mentioned later.

[0049]The first integrator m_1 is provided with the following.

Differential amplifier a_1 .

The capacitor c_1 which is the damping time constant element provided between input and output of the differential amplifier a_1 concerned.

Input resistance r_1 established between the input of the integrator m_1 , and the inversed input terminal of the differential amplifier a_1 .

The non-inversed input terminal of the differential amplifier a_1 is grounded. The output from this differential amplifier a_1 is inputted into the integrator m_2 and the above-mentioned adding machine 13 of the next step

as an output of the integrator m1.

[0050]The integrators m2-m7 after the next step are constituted similarly, and the reference mark of the corresponding portion attaches and shows the suffix character corresponding to the degree of each integrators m2-m7 to the same alphabetic character. For example, in the 3rd integrator m3, the output of the integrator m2 is inputted via the input resistance r3, and the output of the differential amplifier a3 is inputted into the integrator m4 and the adding machine 13 of the next step.

[0051]The above-mentioned feedback circuit m11 is formed in relation to the second integrator m2 and the 3rd integrator m3, and can carry out negative feedback of the output of the integrator m3 to the input side of the integrator m2. Input-resistance ri11 by which the end was specifically connected with the differential amplifier a11 at the inversed input terminal of the differential amplifier a11 concerned in the feedback circuit m11 concerned, It has feedback resister rf11 provided between input and output of the differential amplifier a11, and output resistance ro11 by which the end was connected to the output of the differential amplifier a11. The other end of above-mentioned input-resistance ri11 is connected to the input of the feedback circuit m11, i.e., the output of the integrator m3, and the other end of above-mentioned output resistance ro11 is connected to the output of the feedback circuit m11, i.e., the inversed input terminal of the differential amplifier a2 formed in the integrator m2. The non-inversed input terminal of the differential amplifier a11 is grounded. Similarly, the feedback circuit m12 is formed in relation to the 4th integrator m4 and the 5th integrator m5, and the feedback circuit m13 is formed in relation to the 6th integrator m6 and the 7th integrator m7. Since the composition of both the feedback circuits m12 and m13 is the same as the composition of the feedback circuit m11, the reference mark of the corresponding portion attaches and shows the same suffix character as the suffix character of the feedback circuits m12 and m13 to the same alphabetic character.

[0052]Of the above-mentioned feedback circuits m11-m13, three partial negative feedback loops are formed in the integration circuit 12. For example, in the partial negative feedback loop formed of the feedback circuit m11, after found the integral and are reversed and rotating normally in the feedback circuit m11 further with the integrator m3, negative feedback of the output of the integrator m2 is carried out to the non-inversed input terminal of the differential amplifier a2 formed in the integrator m2.

[0053]Of these three partial negative feedback loops, as shown in drawing 3, three dip is formed in the frequency characteristic of the quantization noise level of 1 bit digital signals. The center frequency (zero point frequency) f of dip is $f \cdot FS \cdot (G_p)^{1/2} / 2\pi$, as it is decided by the loop gain Gp of each partial negative feedback loop and is shown in the following formulas (1). -- (1)

It becomes. In an upper type (1), FS is a sampling frequency of the delta sigma modulation circuit 31. Thus, the quantization noise level in a desired frequency band can be held down to below a fixed value by reducing the quantization noise level of 1 bit digital signals on zero-point each frequency.

[0054]The gain Gp of a partial negative feedback loop is determined by the multiplier coefficient of the differential amplifier which constitutes a partial negative feedback loop. For example, the gain Gp of the partial negative feedback loop formed of the feedback circuit m11 is determined by the product of the multiplier coefficient of the differential amplifiers a2, a3, and a11. Therefore, in a predetermined frequency band, these multiplier coefficients are set up so that a predetermined dynamic range may be maintained and zero point frequency may turn into desired frequency.

[0055]Here, if the conditions demanded by the present noncommercial digital audio apparatus as an example of the above-mentioned frequency band and a dynamic range are mentioned, in a frequency band (10 kHz – 20 kHz), it will be required that an S/N of about 90–100 dB should be maintained. Therefore, in a field of 20 kHz or less, the gain G_p of each above-mentioned partial negative feedback loop is set as the size which can secure a desired dynamic range (for example, about 90 dB), as shown in drawing 3.

[0056]Thus, if the case where the above-mentioned predetermined frequency band is a voice band (usually audible zone) is made into an example and it explains, the depth of the quantization noise floor of the voice band concerned can be effectively reduced by forming dip focusing on the maximum (near 20 kHz) of a voice band. In this case, the zone in which dip exists is set to 1 kHz – about 40 kHz. The frequency (zero point frequency) α_1 of three above-mentioned dip, α_2 , and α_3 are $\alpha_1 = \alpha_3 / (2\sqrt{2})$, for example, as shown in the following formulas (2) and (3). -- (2)

$\alpha_2 = \alpha_3 / \sqrt{2}$ -- (3)

It is set as ****.

[0057]Amplitude modulation of the sub-signal is carried out to the delta sigma modulation circuit 31 concerning this embodiment by the subcarrier of the above-mentioned zero point frequency, and the additional information signal generating circuit (sub-signal superposing means) 21 which generates additional information signals is established in it. The output of the additional information signal generating circuit 21 concerned is impressed to the adding machine 13, and the output of each integrators m_1 – m_7 and the sum total of additional information signals are outputted to the quantizer 14.

[0058]According to this embodiment, the superposition to the main signal of the above-mentioned additional information signals is performed using the adding machine 13 in the delta sigma modulation circuit 31. When carrying out delta sigma modulation, the adding machine 13 concerned is indispensable composition, in order to be delayed and to carry out negative feedback of the quantization output to an input side, and it can multiplex and transmit a main signal and a sub-signal, without adding special composition by using the adding machine 13 concerned also [superposition / of additional information signals].

[0059]Although the case of explanation where an integration degree was the 7th order in the delta sigma modulation circuit 31, and the number of partial negative feedback loops was three for convenience was made into the example and explained by drawing 1, it does not restrict to this. If it is a delta sigma modulation circuit in which zero intermittent control is possible, the same effect as this embodiment will be acquired.

[0060]Although it can set up variously, here correspondence with a sub-signal and additional information signals, how a sub-signal is coded, or whether the flag which has the amount of information of what bit in which zero point frequency is assigned specifically, Below, when channel information is added only to 1 bit digital signals of the left channel, and the three above-mentioned zero point frequency is set to α_1 , α_2 , and α_3 from the lower one with reference to drawing 2 and an audio signal is the left channel, the case where a flag is set only to the zero point frequency α_2 is made into an example, and it explains.

[0061]In this case, the zero point frequency corresponding to each channel is one, and the amount of information added with the zero point frequency concerned is 1 bit. Therefore, the additional information signal generating circuit 21 is realizable with the oscillator 22 oscillated on a predetermined level with the

zero point frequency concerned, and the switch 23 which chooses whether the output of the oscillator 22 concerned is outputted as additional information signals.

[0062]In this embodiment, in the delta sigma modulation circuit 31L by the side of the left channel, the above-mentioned oscillator 22, It is set as the zero point frequency $\alpha 2$ whose oscillating frequency is the 2nd, and the output level is set up smaller than the size from the quantization noise level in the zero point frequency $\alpha 2$ to the lower limit of an audio signal level. The above-mentioned switch 23 flows, when the audio signal impressed to the delta sigma modulation circuit 31L concerned is a stereo signal. For example, when [, such as the time of a monophonic signal,] the audio signal concerned is not the left channel, the switch 23 is intercepted.

[0063]In order that the audio signal transmission equipment 1 concerning this embodiment may simplify the composition which adds channel information, it adds channel information only to 1 bit digital signals of the left channel, and has not added it to 1 bit digital signals of right channels. That is, the delta sigma modulation circuit 32R of right channels is carrying out delta sigma modulation of the analog voice signal from the sound signal source 2R as it is. As shown in drawing 4, specifically, the delta sigma modulation circuit 32 concerned has the composition of having excluded the additional information signal generating circuit 21 from the delta sigma modulation circuit 31 shown in drawing 1. It replaces with the adding machine 13 shown in drawing 1 in connection with this, and the adding machine 13a with few one inputs is used. Since residual composition is the same as that of the delta sigma modulation circuit 31, it gives the same numerals to the member which has the same function, and omits explanation.

[0064]Thereby, in the sending circuit 3 shown in drawing 2, the delta sigma modulation circuit 31L superimposes the channel information which carries out delta sigma modulation of the audio signal of the analog which the sound signal source 2L outputted, and shows that it is the left channel. As a result, 1 bit digital signals with which it was superimposed on channel information are outputted from the output terminal 41L. 1 bit digital signals of these right-and-left channel are transmitted to the receiving circuit 5 via the transmission lines 4L and 4R. In this embodiment, 1 bit digital signals outputted from the output terminal 41R by the side of right channels are not overlapped on channel information.

[0065]On the other hand, in the sending circuit 5, 1 bit digital signals inputted from the input terminal 42L via the transmission line 4L are told to the channel switching circuit 53 via the demodulator circuit 51L and the low pass filter 52L. Similarly, 1 bit digital signals inputted from the input terminal 42R via the transmission line 4R are impressed to the above-mentioned channel switching circuit 53 via the demodulator circuit 51R and the low pass filter 52R. The channel switching circuit 53 concerned and the channel discrimination circuit 63 mentioned later support the control means given in a claim.

[0066]Each above-mentioned demodulator circuit 51 is realized by the low pass filter etc., for example. In this case, the cutoff frequency of the low pass filter is set as the upper limited frequency F_t of the transmission band which can be transmitted with 1 bit digital signals. Thereby, 1 bit digital signals are modulated by the analog signal. The above-mentioned low pass filter 52 just removes the noise component of a high region from the effective frequency band of an audio signal. Therefore, the primary filter instead of an especially high order filter is enough. In this case, for example, it is realizable by one resistance and one capacitor.

[0067]The cutoff frequency of each low pass filter 52 allotted to the latter part of each demodulator circuit

51 is set as the upper limited frequency F_a of the zone (voice band) which transmits an audio signal among the above-mentioned transmission bands. Thereby, in each low pass filter 52, the audio signal which turns into a main signal from the above-mentioned analog signal is extracted, and it is inputted into the channel switching circuit 53.

[0068] Here, if a sampling frequency is set to FS , it is known for 1 bit of high speed sampling coding mode that $FS/2$ will become the upper limited frequency F_t of a transmission band, and $FS/6$ will become the upper limited frequency F_a of a frequency band usable as a voice band.

[0069] For example, when $FS=32f_s$ and f_s shall be 44.1 kHz like [in the case of a compact disk], it is $F_t=32 \times 44.1/2=705.6$ [kHz] — (4)

$F_a=32 \times 44.1/6=235.2$ [kHz] — (5)

It becomes.

[0070] However, when a circuit is actually hardware-ized, in the above-mentioned upper limited frequency F_t and the frequency band to F_a , it is difficult to fully reduce a quantization noise. Therefore, so that it can be realized comparatively easily that the conditions of S/N demanded by the present noncommercial digital audio apparatus, i.e., S/N in 10–20 kHz, shall be about 90–100 dB, The above-mentioned upper limited frequency F_t and the realistic value of F_a have become about those $1/2$ to $1/4$. F_a is set as about 50 kHz and, specifically, F_t is set as about 120 kHz, for example. When the above-mentioned sampling frequency FS is raised to $64f_s$, each upper-limited-frequency F_a – F_t is set to 100 kHz and about 240 kHz, respectively.

[0071] A relay, an analog switch, etc. realized and, specifically, the above-mentioned channel switching circuit 53 is provided with the switches s_1 and s_2 which choose either of the two outputs and output one input. The contact common s_{1C} of the switch s_1 is connected to the low pass filter 52L, and the contact common s_{2C} of the switch s_2 is connected to the low pass filter 52R. One individual contact s_{1L} of the switch s_1 and one individual contact s_{2L} of the switch s_2 are connected to the loudspeaker 7L via the amplifier 6L of the left channel in common. Similarly, residual individual contact s_{1R} – s_{2R} of both the switches s_1 and s_2 is connected to the loudspeaker 7R via the amplifier 6R of right channels in common. According to directions of the channel discrimination circuit 63 mentioned later, each switches s_1 and s_2 interlock, and are switched. Thereby, when the receiving circuit 5 outputs the audio signal of an analog to the loudspeakers 7L and 7R of both channels, it can be chosen whether a right-and-left channel is replaced.

[0072] In order to extract the sub-signal on which 1 bit digital signals were overlapped, i.e., channel information, in the receiving circuit 5. The band pass filters 62L and 62R in which it was connected to the output of each above-mentioned demodulator circuits 51L and 51R, and center frequency was set as the above-mentioned zero point frequency α_2 . Based on the output of each band pass filters 62L and 62R, the channel discrimination circuits 63L and 63R which control the above-mentioned channel switching circuit 53 are formed.

[0073] Each above-mentioned band pass filter 62 just removes the noise in zones other than the above-mentioned zero-point-frequency α_2 , and extraction of channel information is performed in the channel discrimination circuit 63. Therefore, the primary filter can realize, without using a high order filter especially.

[0074] It judges with in the channel discrimination circuit 63L of the left channel, the flag which shows the

left channel standing, when the Fourier transform of the output signal of the band pass filter 62L is carried out and the above-mentioned frequency α_2 ingredient is over the predetermined value. When it judges with the flag which shows the left channel standing in the channel discrimination circuit 63L concerned, it is made to flow through the individual contact s1L side, and is made to flow through the individual contact s2R side of the switch s2 in the switch s1 in the above-mentioned channel switching circuit 53. On the other hand, the channel discrimination circuit 63R of right channels, It judges with the flag which shows the left channel standing like the channel discrimination circuit 63L, when the frequency α_2 ingredient of the output signal of the band pass filter 62R is over the predetermined value, The individual contact s1R side is made to choose it as the switch s1 in the above-mentioned channel switching circuit 53, and the individual contact s2L side is made to choose it as the switch s2 contrary to the case of the channel discrimination circuit 63L.

[0075]Here, when the superimposed sub-signal does not always need to be extracted like [in the case of superimposing channel information as a sub-signal] for example, each channel discrimination circuit 63 can improve further the accuracy at the time of separating a main signal and a sub-signal by extracting a sub-signal at the specific time.

[0076]In the narrow-band which adjoined the frequency in which a sub-signal exists, each channel discrimination circuit 63 supervises the output signal level of the band pass filter 62, and, specifically, supervises the level of the main signal in 1 bit digital signals. For example, as for the channel discrimination circuit 63, the time of a non-input signal, a minute input signal, etc. extract a sub-signal in the period when the output signal level in the narrow-band concerned does not reach a predetermined level.

[0077]The frequency of the sub-signal is being fixed with the zero point frequency determined by zero intermittent control, and the spectrum is not diffused to the zone which adjoined. On the other hand, the spectrum of main signals, such as an audio signal, is diffused compared with a sub-signal. As a result, the period when the level of a main signal is falling can be correctly distinguished [near the zero point frequency] by distinguishing the input signal level in the narrow-band which adjoined the zero point frequency concerned. Therefore, when the channel discrimination circuit 63 extracts a sub-signal, a main signal and a sub-signal can be separated during this period with still more sufficient accuracy.

[0078]For example, in the compact disk of a multibit coding mode, a recordable dynamic range is 100 dB. On the other hand, although the shape of a quantization noise floor changes with the constants etc. of the element which constitutes the integration circuit 12 in the delta sigma modulation circuit 31 shown in drawing 1 a lot, For example, when sampling frequency FSs of the delta sigma modulation circuit 31 are 64fs, S/N can be reduced to less than abbreviation-120dB. Therefore, the threshold of the above-mentioned input signal level can be set as about abbreviation-120dB.

[0079]Not only the output signal of the band pass filter 62 but the output signal level of the demodulator circuit 51, etc. may be sufficient as the signal which the channel discrimination circuit 63 supervises, for example. If identifiable in the main signal level in the above-mentioned narrow-band, the same effect as this embodiment will be acquired.

[0080]It is as follows when operation of audio signal transmission equipment 1 each part in the above-mentioned composition is explained based on drawing 2. That is, the analog voice signal of the left channel generated by the sound signal source 2L is inputted into the sending circuit 3. In the sending circuit

3, the sine wave signal of the carrier frequency $\alpha 2$ made to generate with the oscillator 21a in the additional information signal generating circuit 21 is added to the audio signal concerned as channel information which shows the left channel with the adding machine 13 (refer to drawing 1) in the delta sigma modulation circuit 31L. Delta sigma modulation of the added signal is carried out, and it is outputted to the transmission line 4L. On the other hand, the audio signal of right channels is generated by the sound signal source 2R, it is the delta sigma modulation circuit 32R in the sending circuit 3, and after delta sigma modulation is carried out to 1 bit digital signals as it is, it is outputted to the transmission line 4R.

[0081]Here, when both the above-mentioned transmission lines 4L and 4R are connected correctly, 1 bit digital signals of the left channel are inputted into the input terminal 42L for the left channels in the receiving circuit 5, and 1 bit digital signals of right channels are inputted into the input terminal 42R. After restoring to 1 bit digital signals inputted from the input terminal 42L for the left channels by the demodulator circuit 51L and the low pass filter 52L, an audio signal ingredient is extracted. The output signal of the demodulator circuit 51L is impressed to the band pass filter 62L and the channel discrimination circuit 63L, and it is judged whether the frequency $\alpha 2$ ingredient set up beforehand is over the predetermined level. Similarly, recovery and extraction of an audio signal ingredient are performed to 1 bit digital signals inputted from the input terminal 42R by the demodulator circuit 51R and the low pass filter 52R.

[0082]Here, 1 bit digital signals of the left channel, i.e., the signal with which it was superimposed on channel information on the above-mentioned frequency $\alpha 2$ at Frequency Division Multiplexing, are correctly inputted into the above-mentioned input terminal 42L. Therefore, the channel discrimination circuit 63L judges with being superimposed on the channel information which shows the left channel to the 1 bit digital signals concerned, and controls the switches s1 and s2 in the channel switching circuit 53. Since 1 bit digital signals of right channels are not overlapped on channel information, the above-mentioned frequency component $\alpha 2$ does not reach a predetermined level. Therefore, the channel discrimination circuit 63R is not controlling the channel switching circuit 53.

[0083]Thereby, the switch s1 flows in the individual contact s1L, and outputs the output signal of the low pass filter 52L from the output terminal 71L of the left channel. As a result, the audio signal of the left channel is sound-ized by the amplifier 6L and the loudspeaker 7L. The switch s2 flows in the individual contact s2R, and outputs the output signal of the low pass filter 52R from the output terminal 71R of right channels. As a result, the audio signal of right channels is sound-ized by the amplifier 6R and the loudspeaker 7R.

[0084]On the other hand, when the transmission lines 4L and 4R are changed, 1 bit digital signals of the left channel are inputted into the input terminal 42R for right channels in the receiving circuit 5. As a result, the frequency $\alpha 2$ ingredient of the 1 bit digital signals concerned exceeds a predetermined level. Therefore, it judges with the channel discrimination circuit 63R of right channels being superimposed on the channel information which shows the left channel, and the individual contact s1R side is made to choose it as the switch s1, and the individual contact s2L side is made to choose it as the switch s2 contrary to the case where the transmission lines 4L and 4R are connected correctly. As a result, even if it is a case where 1 bit digital signals of the left channel are accidentally inputted into the input terminal 42R for right channels, the receiving circuit 5 outputs correctly the audio signal which restored to the 1 bit digital signals concerned from the output terminal 71L of the left channel.

[0085] Thus, the receiving circuit 5 can replace and output a right-and-left channel based on the channel information on which the 1 bit digital signals concerned were overlapped, when the channel of received 1 bit digital signals is changed. As a result, by substitution of the transmission lines 4R and 4L etc., even if usual is a case where 1 bit digital signals of a different channel are told to the receiving circuit 5, the audio signal transmission equipment 1 can carry out [sound]-izing of the audio signal of each channel by a right channel.

[0086] In the above-mentioned composition, since the sub-signal is superimposed by Frequency Division Multiplexing to a main signal, neither a special format nor an error prevention circuit is needed like the conventional method which transmits a main signal and a sub-signal by Time Division Multiplexing. In superimposing a sub-signal, since it superimposes by Frequency Division Multiplexing, the adding machine 13 (refer to drawing 1) in the delta sigma modulation circuit 31 can be used. It can transmit with a main signal and a sub-signal, without these results' being able to simplify the composition for transmitting a sub-signal by leaps and bounds, and spoiling the advantage of a 1-bit digital coding mode.

[0087] Although the above explanation explained the case where only 1 bit digital signals of the left channel were overlapped on channel information, it may superimpose only on right channels not only in this, for example. For example, in the case of right channels, a flag is set to the zero point frequency alpha 1, in the case of the left channel, a flag may be set to the zero point frequency alpha 2, and channel information which is mutually different in each 1 bit digital signals of both channels may be superimposed. If at least one 1 bit digital signals are overlapped on channel information among 1 bit digital signals of each channel, the same effect as this embodiment will be acquired.

[0088] In the above explanation, although the case of two right and left was explained, the invention in this application can be applied, not only this but when the audio signal transport unit 1 is provided with two or more channels. For example, it separates into the multi-channel which consists of front 3 channel (the right, a center, and the left) and two back (right and left), and also when identifying each channel in a receiving circuit, it can apply. In this case, as an example of the correspondence relation between channel information and zero point frequency, in the case of front right channels, set a flag only to the zero point frequency alpha 1, and, in the case of a front left channel, a flag is set only to the zero point frequency alpha 2, and, in the case of the Maenaka ** channel, a flag is set only to the zero point frequency alpha 3. In the case of back right channels, a flag is set to the both sides of the zero point frequency alpha1 and alpha2, and, in the case of a back left channel, a flag is set to the both sides of the zero point frequency alpha1 and alpha3. Thus, it can respond to the channel more than the number of zero point frequency with the combination of zero point frequency.

[0089] [A 2nd embodiment] A 1st embodiment mentioned above explained the case where channel information was superimposed, as a sub-signal. On the other hand, by this embodiment, when transmitting the audio signal with which the audio signal transmission equipment 1a serves as a main signal based on drawing 5, the case where the flag which shows the existence of pre-emphasis is superimposed as a sub-signal is explained. As opposed to the audio signal inputted into the delta sigma modulation circuit 31 as pre-emphasis, When the processing which emphasizes a predetermined frequency component beforehand is meant and pre-emphasis is performed, the receiving circuit 5a of the above-mentioned audio signal transmission equipment 1a performs the processing to which the level of the above-mentioned predetermined frequency component is reduced, i.e., the Di emphasis processing, when restoring to an audio

signal. Thereby, the receiving circuit 5a can return evenly the frequency characteristic of the audio signal of the analog outputted to the amplifier 6L and 6R.

[0090]The pre-emphasis processing can consider the case where various frequency components are emphasized, when it is the processing which emphasizes a predetermined frequency component, a high-frequency component is emphasized and a low-pass ingredient is controlled, or when emphasizing a low-pass ingredient contrary to this and controlling a high-frequency component. Below, pre-emphasis processing explains the case where a high-frequency component is emphasized, as the example.

[0091]The audio signal transmission equipment 1a concerning this embodiment is replaced with the channel switching circuit 53 shown in drawing 2 in the receiving circuit 5a, the Di accentuator circuits 54L and 54R are formed, it replaces with each channel discrimination circuit 63L, and, specifically, the emphasis discrimination circuit 64L is formed. The emphasis discrimination circuit 64L is established only in the left channel, and this emphasis discrimination circuit 64L controls the Di accentuator circuits 54L and 54R of both channels by the receiving circuit 5a concerning this embodiment. In connection with this, the band pass filter 62R and the channel discrimination circuit 63R of right channels are excluded from the receiving circuit 5 shown in drawing 2 in the receiving circuit 5a concerned. The above-mentioned Di accentuator circuit 54 and the emphasis discrimination circuit 64 correspond to a control means given in a claim.

[0092]In the sending circuit 3a, it replaces with the additional information signal generating circuit 21 which generates a channel discrimination signal, and the additional information signal generating circuit 21a which generates an emphasis discrimination signal is formed. The same numerals are appended to the member described in the drawing of a 1st embodiment which explanation mentioned above for convenience; and the member which has the same function, and the explanation is omitted.

[0093]The above-mentioned additional information signal generating circuit 21a comprises the oscillator 22 and the switch 23 like the above-mentioned additional information signal generating circuit 21. However, in this embodiment, the switch 23 flows, when pre-emphasis of the audio signal of an analog inputted into the delta sigma modulation circuit 31 is carried out, and when pre-emphasis is not carried out, it is intercepted. Opening and closing of the above-mentioned switch 23 are performed by being interlocked with OFF/one of that, when the pre emphasis circuit is provided in the sending circuit 3. When the pre emphasis circuit is established in the sound signal source 2L and 2R side, a switching signal for exclusive use may be transmitted to the sending circuit 3a from the sound signal sources 2L and 2R, and opening and closing of the switch 23 may be controlled based on the switching signal concerned. Opening and closing of the switch 23 may be performed based on a user's specification. Even if it is which case, when pre-emphasis is performed, a pre-emphasis discrimination signal is impressed to the delta sigma modulation circuit 31 via the switch 23.

[0094]In this embodiment, the oscillating frequency of the oscillator 22 is set as alpha 1. Therefore, when pre-emphasis is one, a flag is set to 1 bit digital signals which the sending circuit 3a outputs from the output terminal 41L of the left channel by the above-mentioned zero point frequency alpha 1 as a sub-signal.

[0095]On the other hand in the Di accentuator circuit 54L of the left channel formed in the receiving circuit 5a. It is provided between the low pass filter 52L and the output terminal 71L, and resistance r1 L-r 2L connected in series mutually, the capacitor cL by which one end was connected to both resistance r1 L-r 2L, and the switch s3L which chooses whether the other end of the capacitor cL concerned is grounded are

formed. Similarly, the Di accentuator circuit 54R of right channels is provided with the following.

Resistance $r1$ R-r 2R.

Capacitor cR.

Switch s3R.

When performing DIENFASHISU so that it may mention later, according to directions of the emphasis discrimination circuit 64, above-mentioned both switch s3 L-s 3R interlocks, and it flows through it. Thereby, a low pass filter is formed and frequency can make it increase to becoming high with the magnitude of attenuation of both the DIENFASHISU circuits 54L and 54R. In each DIENFASHISU circuit 54, the size of the resistance R1 and R2 and the capacitor C is beforehand set as the size which can negate pre-emphasis processing.

[0096]Therefore, both the DIENFASHISU circuits 54L and 54R control a high frequency component among the output signals of both the low pass filters 52L and 52R, and can output it from the output terminals 71L and 71R, respectively. Thereby, when a high-frequency component is emphasized by pre-emphasis processing, the receiving circuit 5a negates pre-emphasis processing, and can output the audio signal with a flat frequency characteristic of an analog to the amplifier 6L and 6R.

[0097]The Di accentuator circuit 54 is constituted according to the constant of pre-emphasis, for example, when pre-emphasis processing is low-pass emphasis, it is constituted so that a highpass filter may be formed, when the switch s3 flows.

[0098]The emphasis discrimination circuit 64 is the same as the channel discrimination circuit 63 shown in drawing 2, extracts the emphasis discrimination signal which is a sub-signal from the output signal of each demodulator circuit 51, and controls each above-mentioned DIENFASHISU circuit 54. When zero-point-frequency $\alpha 1$ ingredient exceeds a predetermined level, the Di accentuator circuit 54 judges with pre-emphasis of the audio signal which is a main signal being carried out, and makes it specifically flow through above-mentioned both switch s3 L-s 3R in the output signal of the demodulator circuit 51.

[0099]Thus, in the audio signal transmission equipment 1a of the above-mentioned composition, the sending circuit 3a superimposes the sub-signal which shows the existence of the pre-emphasis which relates to an audio signal closely on 1 bit digital signals, and can transmit it. The receiving circuit 5a can choose ON and OFF of DIENFASHISU automatically based on the sub-signal concerned. The display circuit which shows the existence of pre-emphasis can only consist of connecting an emphasis discrimination signal to a light emitting diode as it is.

[0100][A 3rd embodiment] As an embodiment of further others of the invention in this application, this embodiment explains the case where the hour entry of the audio signal used as a main signal is added as a sub-signal, based on drawing 6. Since the audio signal transmission equipment 1b concerning this embodiment is similar with the audio signal transmission equipment 1 concerning a 1st embodiment, it appends the same numerals to the member described in the drawing of a 1st above-mentioned embodiment for convenience of explanation, and the member which has the same function, and omits the explanation to it.

[0101]In the audio signal transmission equipment 1b concerning this embodiment, in the sending circuit 3b, it replaces with the additional information signal generating circuit 21 shown in drawing 2, and the additional information signal generating circuit 21b which generates a hour entry signal is formed. For example, music

etc. are the information etc. which show the lapsed time for every music when an audio signal is divided into the information which shows the total time at the time of the hour entry concerned transmitting an audio signal, or two or more portions, and it has the amount of information of about 8 bits. Like an above-mentioned emphasis discrimination signal, this hour entry may be generated in the sending circuit 3b, or may be inputted from the sound signal source 2 side.

[0102]The above-mentioned additional information signal generating circuit 21b is provided with the following.

The oscillator 22 which specifically generates the sine wave of each frequency of the zero point frequency α_1 – α_3 .

The hour entry generation circuit 24 which generates the digital signal corresponding to a hour entry.

The encoder 25 which carries out amplitude modulation of each above-mentioned sine wave based on the digital signal concerned.

The above-mentioned encoder 25 divides the digital signal from the hour entry generation circuit 24 into the bit string corresponding to the zero-point each frequency α_1 – α_3 . According to this embodiment, a hour entry is about 8 bits and zero point frequency is set as three. Therefore, a hour entry is divided into three bit strings of triplet length. The encoder 25 carries out amplitude modulation of the sine wave of the zero-point each frequency inputted from the oscillator 22 to eight steps according to the value of the bit string corresponding to zero-point each frequency. The encoder 25 superimposes each signal by which amplitude modulation was carried out, and generates a hour entry signal. Thereby, the additional information signal generating circuit 21b can impress a hour entry signal to the delta sigma modulation circuit 31 as additional information signals.

[0103]On the other hand, it replaces with the channel discrimination circuit 63L shown in drawing 2, and the decoder (control means) 65 which restores to the above-mentioned hour entry signal, and the display driving circuit 66 which drives the display 67 according to directions of the decoder 65 concerned are established in the receiving circuit 5b. In the band pass filter 62 by the side of [the receiving circuit 5 shown in drawing 2 in the receiving circuit 5b to] right channels and the channel discrimination circuit 63, and a row. The channel switching circuit 53 is excluded and the output signal of each low pass filters 52L and 52R is outputted from the output terminals 71L and 71R as it is.

[0104]The above-mentioned decoder 65 receives the output signal of the demodulator circuit 51 via the band pass filter 62, and extracts the frequency component of the zero-point each frequency α_1 – α_3 using the Fourier transform. It restores to the decoder 65 to the digital signal which shows a hour entry in the procedure in which the above-mentioned encoder 25 is reverse. Specifically, the decoder 65 outputs the digital signal which amplitude demodulation of each frequency component is carried out, the bit string of a triplet is generated, and each bit string is connected, respectively, and shows a hour entry.

[0105]The above-mentioned display 67 puts two or more Japanese letter segments in order, for example, and is constituted. Based on directions of the display driving circuit 66, each segment controls lighting/putting out lights for every node of the character of a "day", and can display a number or an alphabetic character. The above-mentioned display driving circuit 66 impresses voltage to the terminal which determines the lighting node of each segment for example, in which the lighting node of each segment is shown based on the digital signal from the decoder 65, and controls the display of the display 67. Thereby,

the display 67 can display the character string which shows a hour entry.

[0106]What is necessary is to pack some flags on which it is superimposed one by one, to form one word, and just to express a hour entry per word in the zero-point each frequency α_1 – α_3 , when a range required as a dynamic range of a sub-signal in order to carry out amplitude modulation to eight steps is not securable. For example, when 1 bit, i.e., the range in which amplitude modulation is possible to two steps, can be secured, as a dynamic range of a sub-signal the encoder 25, The digital signal from the hour entry generation circuit 24 is divided into every [a triplet], and it is intermittent with a predetermined cycle in the sine wave from the oscillator 22 according to the value of each bit. Thereby, in zero-point each frequency, even if it is the case of being less than the size which needs the sum total of a range securable as a dynamic range of a sub-signal in order to transmit a hour entry, a hour entry can be transmitted.

[0107][A 4th embodiment] As an embodiment of further others of the invention in this application, by this embodiment, when transmitting the audio signal used as a main signal, the case where the flag for copyright protection of the audio signal concerned is superimposed and transmitted as a sub-signal is explained based on drawing 7. Since it is similar with the audio signal transmission equipment 1 which the audio signal transmission equipment 1c concerning this embodiment also requires for a 1st embodiment, the same numerals are appended to the member described in the drawing of a 1st above-mentioned embodiment for convenience of explanation, and the member which has the same function, and the explanation is omitted to it.

[0108]In the audio signal transmission equipment 1c concerning this embodiment, in the sending circuit 3c, it replaces with the additional information signal generating circuit 21 shown in drawing 2, and the additional information signal generating circuit 21c which generates the flag signal which shows the existence of the flag for copyright protection is formed. On the other hand, it replaces with the channel switching circuit 53 shown in drawing 2, and the output controlling circuit 55 which chooses whether an audio signal outputs is formed, it replaces with the channel discrimination circuits 63L and 63R, and the flag discrimination circuits 68L and 68R which distinguish the above-mentioned flag signal are established in the receiving circuit 5c. The output controlling circuit 55 and the flag discrimination circuit 68 correspond to a control means given in a claim.

[0109]Are added in order that the above-mentioned flag may control the copy and duplicate of an audio signal used as a main signal, and in this embodiment. When copying an audio signal once (i.e., when performing the signal transmission from the sending circuit 3c to the receiving circuit 5c once), the sending circuit 3c superimposes the flag signal which shows those with a flag on 1 bit digital signals, and transmits it. On the other hand, the receiving circuit 5c prevents the demodulation output of the 1 bit digital signals concerned, i.e., reproduction, when the flag signal shows those with a flag.

[0110]Specifically in the above-mentioned additional information signal generating circuit 21c, the oscillator 22 outputs the sine wave of predetermined zero point frequency, such as the zero point frequency α_1 , continuously, for example. The switch 23 flows, when copying an audio signal once, and it is impressed to the delta sigma modulation circuit 31 by making the above-mentioned sine wave into a flag signal. Thereby, when copying an audio signal once, the audio signal concerned is overlapped on the flag signal which shows those with a flag, and delta sigma modulation is carried out to 1 bit digital signals.

[0111]The output controlling circuit 55 is provided with the following in the receiving circuit 5c.

The switch s4L formed between the low pass filter 52L and the output terminal 71L.

The switch s4R formed between the low pass filter 52R and the output terminal 71R.

Each flag discrimination circuit 68 is the same composition as the channel discrimination circuit 63 shown in drawing 2, based on the zero-point-frequency alpha1 ingredient size in the output signal of the demodulator circuit 51, distinguishes the existence of a flag and controls opening and closing of above-mentioned both switch s4 L-s 4R. It judges with each flag discrimination circuit 68 specifically having a flag, when the frequency component concerned is over the predetermined level. If at least one side judges with those with a flag, the flag discrimination circuit 68 will intercept above-mentioned both switch s4 L-s 4R. When both flag discrimination circuits 68 judge with having no flag, above-mentioned both switch s4 L-s 4R flows.

[0112]For example, when 1 bit digital signals are impressed from the sound signal source which is not illustrated in the direct reception circuit 5c etc., When not superimposed on the flag signal which shows those with a flag to 1 bit digital signals inputted into the receiving circuit 5c, the flag discrimination circuit 68 makes it flow through above-mentioned both switch s4 L-s 4R. As a result, the 1 bit digital signals concerned are outputted from the output terminals 7L and 7R as an audio signal of an analog via the demodulator circuit 51, the low pass filter 52, and the output controlling circuit 55.

[0113]On the other hand, as shown in drawing 7, when the audio signal which the sound signal source 2 outputted is transmitted to the receiving circuit 5c via the sending circuit 3c and the transmission line 4, the sending circuit 3c superimposes the flag signal which shows those with a flag on 1 bit digital signals, and is transmitted. Therefore, in the receiving circuit 5c, the flag discrimination circuit 68 intercepts above-mentioned both switch s4 L-s 4R. Thereby, transfer is prevented in the output controlling circuit 55, and the output signal of the low pass filter 52 concerned is not outputted from the output terminals 7L and 7R. As a result, according to an intention of the maker of an audio signal, a copy or the number of times of a duplicate of the audio signal concerned can be controlled, and the copyright of the maker of an audio signal can be protected.

[0114]Here, the carrier frequency of the above-mentioned flag signal is set as zero point frequency, and is in the effective frequency band of the audio signal used as a main signal. Therefore, it is very difficult for the third party who does not know zero point frequency to alter a flag signal from 1 bit digital signals transmitted in the transmission line 4. For example, in the case of a multibit coding mode, a flag signal can be altered, if all the bits are received and the bit of predetermined turn is altered from the digital signal which passes through the transmission line 4, since the bit which shows an audio signal, and the bit which shows a flag signal are transmitted by Time Division Multiplexing. Like this embodiment, even if it is a case where an audio signal and a flag signal are transmitted by Frequency Division Multiplexing, If the band pass filter etc. which will pass only the frequency band of an audio signal, for example if the frequency band of the audio signal differs from the frequency band of the flag signal are used, only an audio signal can be extracted from 1 bit digital signals which pass through the transmission line 4. On the other hand, in this embodiment, since the frequency band of a flag signal and the frequency band of the audio signal have lapped, both separation itself is very difficult. For example, even if it extracts only the frequency band component of an audio signal from 1 bit digital signals, the flag signal is included in the extracted signal. As a result, the alteration of the flag signal by a third party can be prevented, and the copyright of the maker of an audio signal can be certainly protected compared with the former.

[0115]In this embodiment, a flag signal only distinguishes the existence of a flag, and although the receiving circuit 5c has distinguished [whether the copy of the audio signal was performed, and] the chisel, it is not restricted to this. If the signal which shows the number of times which can copy the receiving circuit 5c is used as a flag signal, the number of times of a copy of an audio signal can be restricted to the number of times which the maker of the audio signal meant. Specifically, the sound signal source 2 superimposes beforehand the flag signal which shows the number of times of a copy which the maker of the audio signal meant by frequency multiplexing division via the subcarrier of predetermined zero point frequency on the audio signal to output. The additional information signal generating circuit 21c generates the flag signal which shows the number of times smaller than the number of times which the flag signal concerned shows by one, and the delta sigma modulation circuit 31, The audio signal after removing the flag signal on which it was superimposed is modulated to 1 bit digital signals, and the new flag signal which the additional information signal generating circuit 21c generated is superimposed on the 1 bit digital signals concerned. The flag discrimination circuit 68 of the receiving circuit 5c makes the audio signal after a recovery output to the output controlling circuit 55, only when the number of times which a flag signal shows is identified and the larger number of times than 0 is shown.

[0116][A 5th embodiment] As an embodiment of further others of the invention in this application, by this embodiment, when transmitting the audio signal used as a main signal, the case where the ID code of the audio signal concerned is superimposed and transmitted as a sub-signal is explained based on drawing 8. Since the audio signal transmission equipment 1d concerning this embodiment is similar with the audio signal transmission equipment 1c concerning a 4th embodiment of the above, it appends the same numerals to the member described in the drawing of a 4th above-mentioned embodiment for convenience of explanation, and the member which has the same function, and omits the explanation to it.

[0117]In the audio signal transmission equipment 1d concerning this embodiment, in 3 d of sending circuits, it replaces with the additional information signal generating circuit 21c shown in drawing 7, and 21 d of additional information signal generating circuits which generate the code signal which shows the above-mentioned ID code are provided. Similarly, instead of the flag discrimination circuits 68L and 68R shown in drawing 7, the above-mentioned code signal is distinguished in 5d of receiving circuits, and the code discrimination circuits (control means) 69L and 69R which control the output controlling circuit 55 are established in them.

[0118]The above-mentioned ID code is a code for identifying the audio signal itself [used as a main signal], and based on the ID code which 3 d of sending circuits added, 5 d of receiving circuits distinguish the audio signal which can enjoy oneself, and control a copy and a duplicate. If this ID code is used, for example, the audio signal which superimposed the ID code is distributed to two or more audiences using radio, a cable, or a recording medium, and only those who paid the predetermined fee among these audiences can realize refreshable audio signal transmission equipment 1d for the audio signal concerned.

[0119]According to this embodiment, as an example at the time of coding an ID code, an ID code is expressed by a binary number and zero-point each frequency is assigned for every Gentlemen of a binary number. When a certain grade is "1", a flag is set to the zero point frequency corresponding to it, and a flag is not set at the time of "0." For example, when the single figure and alpha 2 are assigned to the double figures and alpha 3 is assigned to the triple figures for the zero point frequency alpha 1, the ID code "101"

sets a flag to alpha1 and alpha3, and is expressed, and the ID code "011" sets a flag to alpha2 and alpha3, and is expressed.

[0120]In this case, in 21 d of the above-mentioned additional information signal generating circuits, the oscillator 22 outputs the sine wave of the three zero point frequency alpha1-alpha3, respectively, the switch 23 formed in relation to each sine wave flows through it, when setting a flag on corresponding frequency, and when not setting a flag, it is intercepted. Thereby, 21 d of additional information signal generating circuits output the code signal which shows an ID code. The code signal concerned is superimposed by the audio signal which turns into a main signal in the delta sigma modulation circuit 31.

[0121]On the other hand, the code discrimination circuit 69 extracts a zero-point each frequency component, and discriminates the ID code on which 1 bit digital signals were overlapped from the output signal of the demodulator circuit 51. And when the ID code concerned fulfills predetermined conditions, it is made to flow through both switch s4 L-s 4R of the output controlling circuit 55, and when that is not right, both switch s4 L-s 4R is intercepted. according to the purpose of using whether for example, it is in agreement with the ID code which the code discrimination circuit 69 memorizes beforehand, and whether the result of an operation using an ID code is in a certain within the limits, and ID codes, it can set to predetermined conditions at versatility.

[0122]As a result, 5 d of receiving circuits can output an audio signal from each output terminal 71, only when it is an ID code which can enjoy the ID code on which received 1 bit digital signals were overlapped.

[0123]Although this embodiment explained the case where the ID code of an audio signal was added, as a sub-signal, the same effect is acquired, even when replacing with an ID code and adding a mastering code. In specifically recording the audio signal used as a master, it sets a flag to the zero point frequency alpha 1 as a code signal which shows that the audio signal concerned is a master, for example. The delta sigma modulation circuit 31 superimposes the code signal concerned on 1 bit digital signals, and 1 bit digital signals are written in the above-mentioned recording medium. On the other hand, when 1 bit digital signals are reproduced from a recording medium, the code discrimination circuit 69 of 5 d of receiving circuits answers the code signal on which 1 bit digital signals were overlapped, and controls the output controlling circuit 55. Thereby, when the mastering code is not added, 5 d of receiving circuits control the output of an audio signal, and control a copy and duplicate of an audio signal, for example.

[0124]The sub-signal superimposed in the above 1st thru/or a 5th embodiment is an example to the last, and it can be set up variously how a sub-signal is coded or whether the flag which has the amount of information of what bit in which zero point frequency is assigned. However, the level of the additional information signals on which it is superimposed with a certain zero point frequency must be set up smaller than the size from the noise level in zero point frequency to the lower limit of an audio signal level. Therefore, the amount of information of the flag added to one zero point frequency is restricted by the noise level in dip, and the dynamic range of an audio signal. As shown in drawing 11 from drawing 9, various sub-signals can be multiplexed by setting the number of zero point frequency as plurality, and combining the flag added to zero-point each frequency.

[0125]In addition, if some flags on which it is superimposed one by one are packed, one word is formed and a sub-signal is expressed per word, much more sub-signals can be superimposed. However, a word synchronization is needed about transmission of a sub-signal like the case where a main signal is

transmitted using a multibit coding mode, like before in this case. Therefore, compared with the case where a sub-signal is not transmitted by Time Division Multiplexing, a circuit becomes complicated and change of a standard becomes difficult. However, even if it is a case where a sub-signal is transmitted with a multibit coding mode unlike the former, the main signal is transmitted using 1 bit digital signals. Therefore, about separation with a sub-signal and a main signal, and processing of a main signal, it is realizable in the same circuit as the case where a sub-signal is not transmitted by Time Division Multiplexing. Therefore, a sub-signal can be superimposed on a main signal like each above-mentioned embodiment, without complicating the processing circuit of a main signal. Since the frequency (zero point frequency) superimposed on the sub-signal is in the effective usage band of a main signal, its alteration of a sub-signal is [a difficult point] the same [in order to extract a sub-signal, before taking a word synchronization, it is necessary to separate a sub-signal from a main signal but, and].

[0126]Although each 5th embodiment explained the case where one kind of sub-signal was added, from the above 1st, not only this but two or more kinds of sub-signals may be superimposed on a main signal. For example, each of emphasis discrimination signals concerned and above-mentioned channel discrimination signals is signals whose amount of information is 1 bit, and each can be transmitted with one zero point frequency. Therefore, for example, when pre-emphasis processing is made, an emphasis discrimination signal is superimposed with the carrier frequency of the zero point frequency $\alpha 1$ shown in drawing 3, and, in the case of the left channel, a channel discrimination signal can be superimposed with the carrier frequency of the zero point frequency $\alpha 2$. Thus, by setting the carrier frequency of an emphasis discrimination signal, and the carrier frequency of a channel discrimination signal as respectively different zero point frequency, The both sides of the flag and channel information which show the existence of pre-emphasis can be simultaneously superimposed and transmitted by Frequency Division Multiplexing to the audio signal used as a main signal.

[0127]Although the case where 1 bit digital signals were transmitted was made into the example via the transmission lines 4, such as an optical fiber, for example, and being explained by each above-mentioned embodiment, it does not restrict to this. The sending circuit 3 (3a-3d) records 1 bit digital signals on a recording medium, and this invention can apply them, for example, also when the receiving circuit 5 (5a-5d) reproduces 1 bit digital signals from the recording medium concerned. If the receiving circuit 5 (5a-5d) receives 1 bit digital signals which the sending circuit 3 (3a-3d) outputted, the same effect as each above-mentioned embodiment will be acquired.

[0128]Although each above-mentioned embodiment explained the case where an audio signal was transmitted as a main signal, it does not restrict to this, and if it is a signal transmitted using the 1-bit coding mode by delta sigma modulation, this invention can be applied also when transmitting other signals.

[0129]

[Effect of the Invention]The signal transmission method through 1 bit digital signals concerning the invention of claim 1, As mentioned above, 1 bit digital signals before the transmission process of the passed main signal in the above-mentioned effective frequency band, And after the process of superimposing a sub-signal on the main signal of the above-mentioned 1 bit digital signals by Frequency Division Multiplexing with the specific frequency to which quantization noise is falling by zero intermittent control, and the above-mentioned transmission process, It is composition provided with the process of discriminating from

the above-mentioned specific frequency of the above-mentioned 1 bit digital signals, and extracting the above-mentioned sub-signal.

[0130]In the above-mentioned composition, with the above-mentioned specific frequency, since the level of quantization noise is falling, the both sides of the dynamic range of a main signal and the dynamic range of a sub-signal can be secured easily, and a sub-signal can be superimposed on a main signal by Frequency Division Multiplexing. As a result, for example, simplification of a demodulator circuit, etc. do so the effect that a main signal and a sub-signal can be superimposed, without checking the advantage in the case of transmitting a signal with 1 bit digital signals.

[0131]The above-mentioned specific frequency is set up in the effective frequency band of a main signal. Therefore, the third party who does not know specific frequency cannot separate a main signal and a sub-signal. As a result, the effect that the alteration of the sub-signal by a third party can be prevented certainly is done so.

[0132]The delta sigma modulation circuit concerning the invention of claim 2 is composition provided with the sub-signal superposing means which superimposes a sub-signal on the main signal of the above-mentioned 1 bit digital signals by Frequency Division Multiplexing with specific frequency as mentioned above.

[0133]So, the effect that the delta sigma modulation circuit which can be modulated to 1 bit digital signals can be provided for a main signal and a sub-signal is done like claim 1, without checking the feature of the delta sigma modulation that a recovery is easy. The effect that the removal or the alteration of a sub-signal by a third party can be made difficult is collectively done so.

[0134]The delta sigma modulation circuit concerning the invention of claim 3 is the composition that the above-mentioned sub-signal superposing means inputs the above-mentioned sub-signal into one of the inputs of the above-mentioned adding machine via the subcarrier of the above-mentioned specific frequency, in the composition of the invention according to claim 2 as mentioned above.

[0135]In the above-mentioned composition, since the adding machine used for delta sigma modulation is used also for superposition of a sub-signal, it does so the effect that the circuit provided for superposition can be simplified.

[0136]The delta sigma modulation circuit concerning the invention of claim 4, As mentioned above, in the composition of the invention according to claim 2 or 3 the above-mentioned main signal, It is an audio signal and the above-mentioned sub-signal is composition which is a flag for channel information, the existence of pre-emphasis, and copyright protection, an ID code, a mastering code, or a signal that shows at least one of hour entries.

[0137]In the above-mentioned composition, each sub-signal relates to the audio signal used as a main signal closely, and shows information with little amount of information. Therefore, even if it is a case where the dynamic range of the sub-signal in specific frequency cannot take not much widely, by sufficient S/N, a delta sigma modulation circuit superimposes a sub-signal, and can transmit or record it. As a result, in the recovery side, the effect that processing relevant to a main signal can be performed is done so based on the above-mentioned sub-signal.

[0138]To the main signal of 1 bit digital signals generated using zero intermittent control, the demodulator circuit concerning the invention of claim 5 as mentioned above. It is superimposed on the sub-signal by

Frequency Division Multiplexing via the subcarrier of specific frequency according to zero intermittent control, discriminate from the above-mentioned specific frequency component from the above-mentioned 1 bit digital signals, and the above-mentioned sub-signal is extracted, and it is composition provided with the control means which performs predetermined processing according to the sub-signal concerned.

[0139]In the above-mentioned composition, in the specific frequency in the frequency band of a main signal, since the level of the quantization noise of 1 bit digital signals is falling, S/N of a sub-signal is fully securable. Therefore, the above-mentioned control means is easy composition, and does so the effect that the sub-signal on which 1 bit digital signals were overlapped can be extracted. Since the sub-signal is superimposed by Frequency Division Multiplexing, a demodulator circuit does so collectively the effect that it can restore to a main signal easily, compared with the case where it superimposes by Time Division Multiplexing.

[0140]In the composition of the invention according to claim 5, the demodulator circuit concerning the invention of claim 6 as mentioned above the above-mentioned main signal, It is an audio signal, and the above-mentioned sub-signal is channel information which shows the channel of the audio signal concerned, and the above-mentioned control means is the composition of performing separation of right and left or multi-channel based on the channel information concerned.

[0141]So, the demodulator circuit can judge the channel of an audio signal correctly, and even if it is a case where the audio signal of the channel which differs from usual by substitution of a transmission line etc. is inputted, it does the effect which is an audio signal that it can output, by a right channel.

[0142]In the composition of the invention according to claim 5, the demodulator circuit concerning the invention of claim 7 as mentioned above the above-mentioned main signal, It is an audio signal, and the above-mentioned sub-signal is a flag which shows the existence of the pre-emphasis of the audio signal concerned, and the above-mentioned control means is composition which controls ON and OFF of DIENFASHISU based on the flag concerned.

[0143]So, a demodulator circuit distinguishes certainly whether the audio signal of received 1 bit digital signals is a signal by which pre-emphasis processing was carried out, and does the effect that DIENFASHISU can be applied to an audio signal.

[0144]In the composition of the invention according to claim 5, the demodulator circuit concerning the invention of claim 8 as mentioned above the above-mentioned main signal, It is an audio signal, and the above-mentioned sub-signal is at least one of the flag for copyright protection of the audio signal concerned, an ID code, or mastering codes, and the above-mentioned control means is the composition of restricting a copy or demodulation output of the above-mentioned audio signal based on the sub-signal concerned.

[0145]In the above-mentioned composition, the above-mentioned control means restricts a copy or demodulation output of an audio signal, when a sub-signal is extracted from 1 bit digital signals and the sub-signal has not permitted the copy or the demodulation output. This does so the effect that permission/disapproval of the copy by the side of a recovery or a demodulation output can be specified, in the abnormal-conditions side.

[0146]Since Frequency Division Multiplexing of the sub-signal is carried out with the specific frequency in the effective frequency band of an audio signal, the alteration of a sub-signal is difficult for it. As a result, a

demodulator circuit does so the effect that a copy or demodulation output of an audio signal can be restricted certainly, based on the permission/disapproval of a copy or a demodulation output directed to the abnormal-conditions side.

[Brief Description of the Drawings]

[Drawing 1] It is a block diagram in which showing one embodiment of this invention and showing the important section composition of a delta sigma modulation circuit.

[Drawing 2] It is a block diagram showing the composition of the whole audio signal transmission equipment in case the above-mentioned delta sigma modulation circuit superimposes channel information as a sub-signal.

[Drawing 3] It is a graph which shows the frequency characteristic of the quantization noise level in 1 bit digital signals which the above-mentioned delta sigma modulation circuit outputs.

[Drawing 4] In the above-mentioned audio signal transmission equipment, it is a block diagram showing the delta sigma modulation circuit of the side which does not superimpose a sub-signal.

[Drawing 5] It is a block diagram in which showing other embodiments of this invention and showing the audio signal transmission equipment which adds the existence of pre-emphasis as a sub-signal.

[Drawing 6] It is a block diagram in which showing the embodiment of further others of this invention, and showing the audio signal transmission equipment which adds a hour entry as a sub-signal.

[Drawing 7] It is a block diagram in which showing the embodiment of further others of this invention, and showing the audio signal transmission equipment which adds the flag for copyright protection as a sub-signal.

[Drawing 8] It is a block diagram in which showing the embodiment of further others of this invention, and showing the audio signal transmission equipment which adds an ID code as a sub-signal.

[Drawing 9] It is a graph for explaining the frequency characteristic of the above-mentioned quantization noise level, and relation with a sub-signal.

[Drawing 10] It is a graph for explaining the frequency characteristic of the above-mentioned quantization noise level, and relation with a sub-signal.

[Drawing 11] It is a graph for explaining the frequency characteristic of the above-mentioned quantization noise level, and relation with a sub-signal.

[Drawing 12] It is a block diagram in which showing a conventional example and showing the important section composition of a delta sigma modulation circuit.

[Drawing 13] It is a graph which shows the frequency characteristic of the quantization noise level in the conventional multibit coding mode.

[Description of Notations]

4L and 4R Transmission line

5, 5a-5d Receiving circuit (demodulator circuit)

13 Adding machine

14 Quantizer

m1-m7 Integrator

m11-m13 Feedback circuit (partial negative feedback circuit)

31 Delta sigma modulation circuit

21, 21a-21d Additional information signal generating circuit (sub-signal superposing means)

53 Channel switching circuit (control means)

54L and 54R Di accentuator circuit (control means)

55 Output controlling circuit (control means)

63L and 63R Channel discrimination circuit (control means)

64L Emphasis discrimination circuit (control means)

65 Decoder (control means)

68L and 68R Flag discrimination circuit (control means)

69L and 69R Code discrimination circuit (control means)

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-322215

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁶

H 0 3 M 3/02
7/32

識別記号

F I

H 0 3 M 3/02
7/32

審査請求 未請求 請求項の数 8 O L (全 21 頁)

(21) 出願番号 特願平9-130149

(22) 出願日 平成9年(1997)5月20日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 岸田 正浩

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

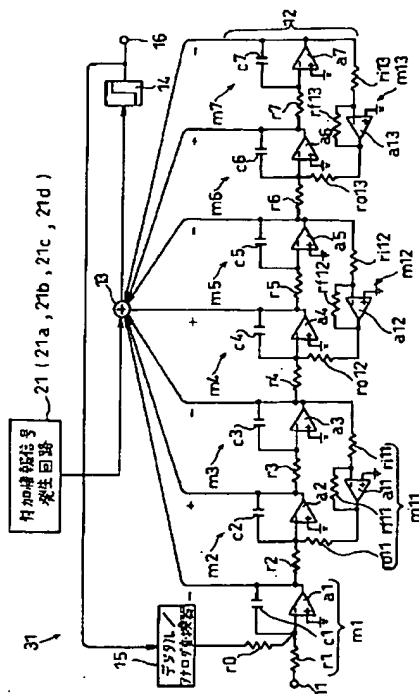
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 1ビットデジタル信号を介した信号伝送方法、デルタシグマ変調回路、および、復調回路

(57) 【要約】

【課題】 簡単な回路で、主信号に副信号を重畳し、1ビットデジタル信号を介して伝送可能な信号伝送方法、デルタシグマ変調回路および復調回路を提供する。

【解決手段】 デルタシグマ変調回路31において、入力信号は、積分器m1～m7にて高次積分される。各位の積分器出力全ては、加算器13にて加算された後、量子化器14にて量子化され、1ビットデジタル信号として出力される。また、帰還回路m11～m13からなる部分負帰還ループによって、1ビットデジタル信号の量子化ノイズの周波数特性には、所定の零点周波数にディップが形成される。さらに、付加情報信号発生回路21は、チャネル情報として、搬送周波数が当該零点周波数の信号を生成し、加算器13に入力する。これにより、1ビットデジタル信号の主信号に対して、当該チャネル情報が零点周波数での周波数分割多重で重畳される。



【特許請求の範囲】

【請求項 1】所定の有効周波数を有する主信号を、零点制御を用い、上記有効周波数帯域内の予め定める特定周波数での量子化雑音が低下するようにデルタシグマ変調して 1 ビットデジタル信号に変調する工程と、伝送路または記録媒体を介して 1 ビットデジタル信号を伝送する伝送工程と、伝えられた上記 1 ビットデジタル信号を復調する工程とを有する 1 ビットデジタル信号を介した信号伝送方法において、

さらに、上記伝送工程の前に、上記特定周波数にて、上記 1 ビットデジタル信号の主信号に副信号を周波数分割多重で重畳する工程と、
上記伝送工程の後で、上記 1 ビットデジタル信号の上記特定周波数を弁別して、上記副信号を抽出する工程とを備えていることを特徴とする 1 ビットデジタル信号を介した信号伝送方法。

【請求項 2】主信号となる入力信号が初段に入力され、互いに縦続に接続された複数の積分器と、上記各積分器の出力を加算する加算器と、上記加算器の出力を量子化して、1 ビットデジタル信号を出力する量子化器と、上記積分器の出力を、当該積分器より前段の積分器の入力側へ負帰還して、予め定める特定周波数での上記 1 ビットデジタル信号の量子化雑音を低下させる部分負帰還回路とを有するデルタシグマ変調回路において、
上記特定周波数にて、上記 1 ビットデジタル信号の主信号に副信号を周波数分割多重で重畳する副信号重畳手段を備えていることを特徴とするデルタシグマ変調回路。

【請求項 3】上記副信号重畳手段は、上記加算器の入力の 1 つに、上記副信号を上記特定周波数の搬送波を介して入力することを特徴とする請求項 2 記載のデルタシグマ変調回路。

【請求項 4】上記主信号は、音声信号であり、
上記副信号は、チャンネル情報、プリエンファシスの有無、著作権擁護のためのフラグ、ID コード、マスタリングコード、または、時間情報のうちの少なくとも 1 つを示す信号であることを特徴とする請求項 2 または 3 記載のデルタシグマ変調回路。

【請求項 5】所定の有効周波数帯域を有する主信号を、零点制御を用い、上記有効周波数帯域内の予め定める特定周波数での量子化雑音が低下するようにデルタシグマ変調して生成された 1 ビットデジタル信号を復調する復調回路において、

上記 1 ビットデジタル信号の主信号には、副信号が、上記特定周波数の搬送波を介して周波数分割多重で重畳されており、

上記 1 ビットデジタル信号から上記特定周波数成分を弁別して上記副信号を抽出すると共に、当該副信号に応じて所定の処理を行う制御手段を備えていることを特徴とする復調回路。

【請求項 6】上記主信号は、音声信号であり、上記副信

号は、当該音声信号のチャンネルを示すチャンネル情報であると共に、

上記制御手段は、当該チャンネル情報に基づいて、左右またはマルチチャンネルの分離を行うことを特徴とする請求項 5 記載の復調回路。

【請求項 7】上記主信号は、音声信号であり、上記副信号は、当該音声信号のプリエンファシスの有無を示すフラグであると共に、

上記制御手段は、当該フラグに基づいて、ディエンファシスのオン/オフを制御することを特徴とする請求項 5 記載の復調回路。

【請求項 8】上記主信号は、音声信号であり、上記副信号は、当該音声信号の著作権擁護のためのフラグ、ID コード、またはマスタリングコードのうちの少なくとも 1 つであると共に、

上記制御手段は、当該副信号に基づいて、上記音声信号の複写または復調出力を制限することを特徴とする請求項 5 記載の復調回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、オーディオ信号処理などに、特に好適に用いられるデルタシグマ変調を用いた信号伝送方法、デルタシグマ変調回路、および、デルタシグマ変調にて生成された 1 ビットデジタル信号の復調回路に関するものである。

【0002】

【従来の技術】デジタル信号を伝送する方式として、従来より、複数のビットからなる 1 語を区切りとして伝送するマルチビット符号化方式と、デルタシグマ変調を用いて、1 ビットデジタル信号に符号化して伝送する方式とが知られている。

【0003】マルチビット符号化方式の場合、送信または記録側は、所定のフォーマットに応じて、データを 1 語にエンコードする。一方、受信または再生側は、語同期を取って、各語の区切りを判別すると共に、各語をデコードしてデータを識別する。したがって、双方の側で、語のフォーマットに応じた信号処理を行う信号処理回路が必要になる。この結果、語のフォーマットが決定され、サンプリング周波数やダイナミックレンジなどが一旦規格化されると、規格を変更することが困難である。さらに、当該方式では、語同期を必要とするため、伝送路などの影響を受けやすく、発生したエラーを訂正するためのエラー訂正回路が不可欠である。

【0004】これに対して、1 ビットデジタル符号化方式は、1 ビットデジタル信号が語同期の不要な微細に細分化されたデータの流れであるため、伝送路などの影響を受けにくく、エラーに強いという利点を有している。したがって、当該方式では、送信または記録装置と、受信または再生装置との双方において、エラー訂正回路が不要になる。さらに、1 ビットデジタル信号が音声信号

である場合、受信または再生側は、簡単な低次のローパスフィルタによって、当該1ビットデジタル信号をアナログ信号に復調できるので、復調に複雑な処理回路が不要になる。したがって、近年では、マルチビット符号化方式に比べて利点の多い1ビットデジタル符号化方式が注目を集めている。

【0005】図12に示すように、従来の典型的なデルタシグマ変調回路100において、入力端子101から入力されたアナログの音声信号は、縦続に接続された積分器m101～m107にて積分される。各段の積分器出力は、加算器103にて加算された後、量子化器104に入力される。量子化器104は、加算器103の出力が0以上であるとき、出力端子106に「1」の出力を導出し、加算器103の出力が0未満のとき「0」の出力を導出する。また、量子化器104の出力は、デジタル／アナログ変換器105および帰還抵抗r100を介して、初段の積分器m101の入力側に負帰還される。

【0006】一方、デルタシグマ変調回路101が出力する1ビットデジタル信号のノイズフロアにディップを形成して、当該ノイズフロア形状を所望の形状に調整するために、デルタシグマ変調回路101の積分回路102には、3つの帰還回路m111～m113が設けられている。帰還回路m111は、第3段目の積分器m103の出力を第2段目の積分器m102の入力側に負帰還し、帰還回路m112およびm113は、第5および第7段目の積分器m105・m107の出力を、第4および第6段目の積分器m104・m106の入力側に負帰還する。

【0007】これらの帰還回路m111～m113によって、3つの部分負帰還ループが形成され、1ビットデジタル信号の量子化ノイズレベルは、各部分負帰還ループのゲインに応じた周波数（零点周波数）を中心に急峻に低下する。なお、以下では、量子化ノイズの周波数特性のうち、レベルが低下している部分をディップと称する。これらのディップによって、高域の量子化ノイズが抑制され、例えば、20kHzなど、所望の利用周波数帯域の上限まで、量子化ノイズのレベルを所定の値以下に保つことができる。

【0008】上記デルタシグマ変調回路100において、音声信号が1ビットデジタル信号へと変調された後、当該1ビットデジタル信号は、図示しない受信あるいは再生装置において、例えば、低次のローパスフィルタなどにより、アナログの音声信号へと復調される。

【0009】

【発明が解決しようとする課題】しかしながら、上記構成のデルタシグマ変調回路100を用いて変調した場合、音声信号などの主信号と、例えば、チャンネル情報を示すフラグなどの副信号との双方を伝送することが困難であるという問題を有している。

【0010】ここで、主信号と副信号との双方を伝送する従来の方法として、マルチビット符号化方式における信号伝送方法の場合を例にして説明する。なお、以下では、従来における典型的なマルチビット符号化方式の一例として、例えば、コンパクトディスクなどのデジタルオーディオを用い、主信号と副信号とを伝送または記録再生する方法について説明する。

【0011】コンパクトディスクの場合、サンプリング周波数 F_s は、44.1kHzに設定されており、図13に示すように、音声帯域の上限周波数 F_a は、 $1/2 F_s$ 、すなわち、22.05kHzとなる。ここで、 F_a から F_s までの周波数帯域では、音声帯域の信号が F_a で鏡像反転して折り返されるので、この帯域（折り返し領域）は、信号伝送に使用できない。したがって、主信号である音声信号と共に、例えば、左右いずれのチャンネルであるかを識別するフラグなどのサブコードを副信号として伝送する場合、当該サブコードは、音声信号を示すメインデータと共に、それぞれ時間軸方向に分割されて伝送される。

【0012】この結果、送信または記録側では、規格化されたデータフォーマットに合わせて、上記フラグや音声信号をエンコードする回路が必要になると共に、受信または再生側では、受信または再生されたデータをデコードして、上記メインデータとサブコードとを分離する回路が必要になる。

【0013】なお、メインデータとサブコードとを時分割して伝送する方法は、簡単な回路で復調できるという1ビットデジタル符号化方式の利点を阻害するため、1ビットデジタル符号化方式に適用することはできない。

【0014】本発明は、上記の問題点を鑑みてなされたものであり、その目的は、簡単な回路で、主信号に副信号を重畳して伝送可能な1ビットデジタル信号を介する信号伝送方法、デルタシグマ変調回路、および、復調回路を提供することにある。

【0015】

【課題を解決するための手段】請求項1の発明に係る1ビットデジタル信号を介した信号伝送方法は、上記課題を解決するために、所定の有効周波数を有する主信号を、零点制御を用い、上記有効周波数帯域内の予め定める特定周波数での量子化雑音が低下するようにデルタシグマ変調して1ビットデジタル信号に変調する工程と、伝送路または記録媒体を介して1ビットデジタル信号を伝送する伝送工程と、伝えられた上記1ビットデジタル信号を復調する工程とを有する1ビットデジタル信号を介した信号伝送方法において、さらに、以下の工程を備えていることを特徴としている。

【0016】すなわち、上記伝送工程の前に、上記特定周波数にて、上記1ビットデジタル信号の主信号に副信号を周波数分割多重で重畳する工程と、上記伝送工程の後で、上記1ビットデジタル信号の上記特定周波数を并

別して、上記副信号を抽出する工程とを備えている。

【0017】上記構成において、変調側では、例えば、アナログ信号やマルチビットデジタル信号などとして与えられる主信号が1ビットデジタル信号にデルタシグマ変調される。この際、1ビットデジタル信号の量子化雑音レベルは、零点制御によって、主信号の有効周波数帯域内の予め定められる特定周波数で低下している。

【0018】さらに、変調側において、1ビットデジタル信号には、特定周波数の搬送波を介して、副信号が周波数分割多重で重畳される。当該特定周波数では、量子化雑音レベルが低下しているため、当該量子化雑音レベルと、主信号のレベルの下限値とのレベル差は、有効周波数帯域内の近隣の周波数に比べて大きくなっており、当該特定周波数では、主信号のダイナミックレンジと副信号のダイナミックレンジとの双方を確保できる。

【0019】一方、当該1ビットデジタル信号が伝送路または記録媒体を介して伝送されると、復調側では、受け取った1ビットデジタル信号から、主信号を復調する。例えば、主信号が音声信号の場合、1ビットデジタル信号に含まれた主信号は、簡単な低次のローパスフィルタを通過させるなどして復調される。

【0020】さらに、復調側では、例えば、バンドパスフィルタやフーリエ変換などを用いて、上記1ビットデジタル信号の特定周波数成分を弁別し、副信号を抽出する。上述したように、主信号のダイナミックレンジと副信号のダイナミックレンジとが十分確保されているので、復調側では、何ら支障無く副信号を抽出できる。

【0021】上記1ビットデジタル信号を介した信号伝送方法では、副信号が主信号に周波数分割多重によって重畳されているので、時分割多重などにて伝送する場合に必要となるような複雑な構成を必要とせず、信号処理のための回路を簡略化できる。この結果、1ビットデジタル信号にて信号を伝送する場合の利点を阻害することなく、主信号と副信号とを重畳できる。

【0022】また、上記特定周波数は、主信号の有効周波数帯域内に設定されている。したがって、特定周波数を知らない第三者は、主信号と副信号とを分離できない。例えば、第三者が、1ビットデジタル信号から主信号の有効帯域成分のみを弁別しても、弁別された信号には、主信号と副信号との双方が含まれている。また、周波数分割多重なので、時分割多重で付加した場合に比べても、主信号と副信号とを分離しにくい。この結果、第三者による副信号の改竄を防止できる。

【0023】請求項2の発明に係るデルタシグマ変調回路は、上記課題を解決するために、主信号となる入力信号が初段に入力され、互いに縦続に接続された複数の積分器と、上記各積分器の出力を加算する加算器と、上記加算器の出力を量子化して、1ビットデジタル信号を出力する量子化器と、上記積分器の出力を、当該積分器より前段の積分器の入力側へ負帰還して、予め定める特定

周波数での上記1ビットデジタル信号の量子化雑音を低下させる部分負帰還回路とを有するデルタシグマ変調回路において、上記特定周波数にて、上記1ビットデジタル信号の主信号に副信号を周波数分割多重で重畳する副信号重畳手段を備えていることを特徴としている。

【0024】上記構成では、積分器、加算器、量子化器、および部分負帰還回路によって、入力信号は、1ビットデジタル信号にデルタシグマ変調される。また、例えば、副信号に基づいて生成した特定周波数の信号を上記加算器に入力するなどして、副信号重畳手段は、当該1ビットデジタル信号の主信号に副信号を周波数分割多重にて重畳する。

【0025】上記特定周波数は、積分器や部分負帰還回路などによって形成される部分負帰還ループのゲインによって設定され、1ビットデジタル信号の量子化雑音のレベルは、当該特定周波数で低下している。したがって、当該特定周波数において、主信号のダイナミックレンジと、副信号のダイナミックレンジとの双方を確実に確保できる。

【0026】それゆえ、請求項1と同様に、復調が容易であるというデルタシグマ変調の特徴を阻害することなく、主信号と副信号とを1ビットデジタル信号に変調可能なデルタシグマ変調回路を提供できる。また、当該デルタシグマ変調回路は、主信号の有効周波数帯域内で副信号を重畳しているため、第三者による副信号の除去あるいは改竄を困難にすることができる。

【0027】また、請求項3の発明に係るデルタシグマ変調回路は、請求項2記載の発明の構成において、上記副信号重畳手段は、上記加算器の入力の1つに、上記副信号を上記特定周波数の搬送波を介して入力することを特徴としている。

【0028】上記構成では、副信号重畳手段は、デルタシグマ変調に使用される加算器を副信号の重畳にも使用している。したがって、重畳のために設ける回路を簡略化できる。

【0029】さらに、請求項4の発明に係るデルタシグマ変調回路は、請求項2または3記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、チャンネル情報、プリエンファシスの有無、著作権擁護のためのフラグ、IDコード、マスタリングコード、または、時間情報のうちの少なくとも1つを示す信号であることを特徴としている。

【0030】上記構成では、上記の各副信号となる情報は、主信号となる音声信号に密接に関連し、かつ、情報量が少ない情報である。したがって、特定周波数における量子化レベルと、主信号レベルの下限値とのレベル差が少ない場合、すなわち、副信号のダイナミックレンジが余り広くとれない場合であっても、十分なS/Nで副信号を重畳して伝送あるいは記録できる。この結果、復調側において、上記副信号に基づいて、チャンネル分離や

プリアンファシスの制御など、主信号に関連した処理を行うことができる。

【0031】請求項5の発明に係る復調回路は、上記課題を解決するために、所定の有効周波数帯域を有する主信号を、零点制御を用い、上記有効周波数帯域内の予め定める特定周波数での量子化雑音が低下するようにデルタシグマ変調して生成された1ビットデジタル信号を復調する復調回路において、上記1ビットデジタル信号の主信号には、副信号が、上記特定周波数の搬送波を介して周波数分割多重で重畳されており、上記1ビットデジ

タル信号から上記特定周波数成分を弁別して上記副信号を抽出すると共に、当該副信号に応じて所定の処理を行う制御手段を備えていることを特徴としている。

【0032】上記構成では、1ビットデジタル信号の量子化雑音のレベルは、特定周波数において低下しているため、当該特定周波数において確保可能なダイナミックレンジは、有効周波数帯域内の近隣の周波数に比べて大きくなっており、副信号のS/Nを十分に確保できる。したがって、上記制御手段は、当該特定周波数成分を弁別することによって、1ビットデジタル信号に重畳されて

いた副信号を抽出し、例えば、チャンネルの分離など、所定の処理を行うことができる。さらに、上記副信号は、周波数分割多重で重畳されているので、復調回路は、時分割多重で重畳する場合に比べて、主信号を容易に復調できる。

【0033】なお、請求項5記載の発明の構成において、制御手段が主信号のレベルを監視し、当該レベルが所定の値以下の場合に副信号を抽出することによって、ディップを余り深く形成できない場合、すなわち、特定周波数における量子化ノイズレベルが余り低下しない場合であっても、確実に副信号を抽出できる。

【0034】また、請求項6の発明に係る復調回路は、請求項5記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、当該音声信号のチャンネルを示すチャンネル情報であると共に、上記制御手段は、当該チャンネル情報に基づいて、左右またはマルチチャンネルの分離を行うことを特徴としている。

【0035】それゆえ、復調回路は、音声信号のチャンネルを正しく判定できる。したがって、例えば、各チャンネルの1ビットデジタル信号を伝送する伝送路が入れ替わっていた場合など、復調回路が、通常とは異なるチャンネルの1ビットデジタル信号を受け取った場合であっても、当該復調回路は、何ら支障なく、左右またはマルチチャンネルの分離が可能となる。この結果、復調回路が、例えば、音声信号を音響化したり、あるいは、さらに、記録や伝送を行ったりする場合、当該復調回路は、音声信号の出力などを正しいチャンネルで行うことができる。

【0036】一方、請求項7の発明に係る復調回路は、請求項5記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、当該音声信号のプリアン

ファシスの有無を示すフラグであると共に、上記制御手段は、当該フラグに基づいて、ディエンファシスのオン／オフを制御することを特徴としている。

【0037】それゆえ、復調回路は、受け取った1ビットデジタル信号の音声信号がプリアンファシス処理された信号であるか否かを確実に判別して、音声信号にディエンファシスをかけることができる。

【0038】さらに、請求項8の発明に係る復調回路は、請求項5記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、当該音声信号の著作権擁護のためのフラグ、IDコード、またはマスタリングコードのうちの少なくとも1つであると共に、上記制御手段は、当該副信号に基づいて、上記音声信号の複写または復調出力を制限することを特徴としている。

【0039】上記構成において、上記制御手段は、1ビットデジタル信号から副信号を抽出し、副信号が複写または復調出力を許可していない場合、音声信号の複写または復調出力を制限する。例えば、音声信号の著作権を擁護するなどの目的で、変調側が副信号として著作権擁護のためのフラグを重畳した場合、変調側、すなわち、音声信号の作成者の意図に応じて、復調側における音声信号の複写または復調は制限される。また、音声信号を区別するためのIDコードや、音声信号の種別を識別するためのマスタリングコードなどを副信号として重畳した場合、これらの副信号に基づいて、復調側は、自らが当該音声信号の複写または復調出力を許可されているかを判別して、許可されていない場合、複写または復調を制限する。いずれの場合であっても、制御手段が副信号に基づいて音声信号の複写または復調出力を制限するので、変調側において、復調側における複写または復調出力の許可／不許可を指定できる。

【0040】ところで、1ビットデジタル信号を受け取るまでの間に、上記副信号が改竄されると、復調回路は、音声信号の複写または復調出力を制限できない。したがって、従来は、副信号の改竄を防止するために、例えば、副信号を暗号化するなどして、副信号の改竄を防止している。しかしながら、この方法では、暗号化および復号化するために、例えば、順序回路など、複雑な回路を必要とする。

【0041】これに対して、請求項8記載の発明の構成では、副信号は、音声信号の有効周波数帯域内の特定周波数にて周波数分割多重される。したがって、上記特定周波数を知らない第三者は、副信号と主信号とを分離することさえできず、容易に改竄できない。この結果、従来のように、時分割多重で伝送される副信号に比べて、改竄が困難である。さらに、上記特定周波数は、有効周波数帯域内に設けられているので、ある周波数成分を不用意に除去すると、音声信号が変化する。したがって、副信号の改竄をさらに確実に防止できる。この結果、復調回路は、変調側において指示された複写または復調出

力の許可／不許可に基づいて、音声信号の複写または復調出力を確実に制限できる。

【0042】なお、請求項6から8記載の発明の構成において、採用される副信号、すなわち、チャンネル情報、プリエンファシスの有無、著作権擁護のためのフラグ、IDコード、および、マスタリングコードは、いずれも情報量が少なく、小ビットのフラグで示すことができる。したがって、請求項6から8記載に係る復調回路は、副信号に確保可能なダイナミックレンジが比較的狭くても、確実に副信号を判別できる。

【0043】

【発明の実施の形態】

〔第1の実施形態〕本発明の一実施形態について図1から図4に基づいて説明すると以下の通りである。すなわち、本実施形態に係る音声信号伝送装置は、音声信号を主信号として伝送する装置であり、当該主信号に周波数分割で多重する副信号として、当該音声信号が左右いずれのチャンネルであるかを示すチャンネル情報を使用している。

【0044】図2に示すように、上記音声信号伝送装置1は、左右チャンネルの音声信号源 $2L \cdot 2R$ が出力したアナログまたはマルチビットの音声信号を、送信回路3で1ビットデジタル信号にデルタシグマ変調した後、例えば、光ファイバなどの伝送路 $4L \cdot 4R$ を介して、受信回路（復調回路）5へ伝送すると共に、受信回路5にて、これら1ビットデジタル信号を復調し、アンプ $6L \cdot 6R$ を介して、左右チャンネルのスピーカ $7L \cdot 7R$ から音響化するものである。ここで、上記伝送路 $4L \cdot 4R$ の入れ換わりなどに対して、左右各チャンネルの音声信号を正確に判別して復調出力するために、送信回路3において、いずれか一方（ここでは、左チャンネル）で、副信号となるチャンネル情報が、主信号となる音声信号に周波数分割多重化される。なお、以下では、各部材を参照する際、左右を特に区別しない場合、あるいは、両者を総称する場合は、参照符号の最後に付された英字（RあるいはL）を省き、例えば、音声信号源2のように参照する。

【0045】図1に示すように、上記デルタシグマ変調回路31は、上記音声信号源2から入力端子11に入力されるアナログの音声信号を高次積分する積分回路12と、各次の積分出力を加算する加算器13と、加算器13の出力を量子化して、1ビットデジタル信号を出力する量子化器14と、当該量子化器14の出力をアナログ値に変換して、上記積分回路12に帰還させるデジタル／アナログ変換器15とを備えている。

【0046】上記量子化器14は、加算器13の出力を所定のサンプリング周波数 F_S でサンプリングし、当該出力が0以上のとき、「1」の出力を導出し、0未満のとき「0」の出力を導出する。これにより、サンプリング周波数 F_S の1ビットデジタル信号が出力端子16か

ら出力される。

【0047】マルチビットデジタル信号を高速サンプリングする1ビットデジタル符号化方式では、量子化器14のサンプリング周波数 F_S は、通常、マルチビットデジタル信号のサンプリング周波数を f_s とすると、例えば、 $32f_s$ や $64f_s$ など、 f_s の所定数倍に設定される。ここで、コンパクトディスクの場合のように、 $f_s = 44.1\text{kHz}$ とすると、 F_S は、 $32f_s$ の場合で、 1.41MHz 、 $64f_s$ の場合で、 2.82MHz となる。

【0048】一方、上記積分回路12は、縦続接続された7次の積分器 $m1 \sim m7$ と、部分負帰還ループを構成するための帰還回路（部分負帰還回路） $m11 \sim m13$ と、初段の積分器 $m1$ の入力側と上記デジタル／アナログ変換器15との間に設けられた帰還抵抗 $r0$ とを具備して構成されている。なお、当該帰還抵抗 $r0$ は、後述する差動増幅器 $a1$ の反転入力端子に接続されている。

【0049】第1次の積分器 $m1$ は、差動増幅器 $a1$ と、当該差動増幅器 $a1$ の入出力間に設けられた、時定数素子であるコンデンサ $c1$ と、積分器 $m1$ の入力と差動増幅器 $a1$ の反転入力端子との間に設けられた入力抵抗 $r1$ とを備えている。なお、差動増幅器 $a1$ の非反転入力端子は、接地されている。この差動増幅器 $a1$ からの出力は、積分器 $m1$ の出力として、次段の積分器 $m2$ と上記加算器13とに入力される。

【0050】次段以降の積分器 $m2 \sim m7$ も、同様に構成されており、対応する部分の参照符号は、同一英字に、各積分器 $m2 \sim m7$ の次数に対応した添数字を付して示している。例えば、第3次の積分器 $m3$ では、積分器 $m2$ の出力が入力抵抗 $r3$ を介して入力され、差動増幅器 $a3$ の出力は、次段の積分器 $m4$ と加算器13とに入力される。

【0051】また、上記帰還回路 $m11$ は、第2次の積分器 $m2$ 、および、第3次の積分器 $m3$ に関連して設けられており、積分器 $m3$ の出力を積分器 $m2$ の入力側に負帰還させることができる。具体的には、当該帰還回路 $m11$ は、差動増幅器 $a11$ と、当該差動増幅器 $a11$ の反転入力端子に一端が接続された入力抵抗 $r11$ と、差動増幅器 $a11$ の入出力間に設けられた帰還抵抗 $r11$ と、差動増幅器 $a11$ の出力に一端が接続された出力抵抗 $r011$ とを備えている。上記入力抵抗 $r11$ の他端は、帰還回路 $m11$ の入力、すなわち、積分器 $m3$ の出力に接続されており、上記出力抵抗 $r011$ の他端は、帰還回路 $m11$ の出力、すなわち、積分器 $m2$ に設けられた差動増幅器 $a2$ の反転入力端子に接続されている。なお、差動増幅器 $a11$ の非反転入力端子は接地されている。同様に、第4次の積分器 $m4$ と第5次の積分器 $m5$ とに関連して、帰還回路 $m12$ が設けられており、第6次の積分器 $m6$ と第7次の積分器 $m7$ とに関連して、帰還回路 $m13$ が設けられている。両帰還回

路 $m12 \cdot m13$ の構成は、帰還回路 $m11$ の構成と同様であるため、対応する部分の参照符号は、同一英字に、帰還回路 $m12 \cdot m13$ の添数字と同じ添数字を付して示している。

【0052】上記帰還回路 $m11 \sim m13$ によって、積分回路 12 内には、3つの部分負帰還ループが形成される。例えば、帰還回路 $m11$ により形成される部分負帰還ループでは、積分器 $m2$ の出力は、積分器 $m3$ で積分および反転され、さらに、帰還回路 $m11$ において正転

$$f \approx FS \times (G_p)^{1/2} / 2\pi$$

となる。なお、上式 (1) において、 FS は、デルタシグマ変調回路 31 のサンプリング周波数である。このように、1ビットデジタル信号の量子化ノイズレベルを、各零点周波数で低下させることによって、所望の周波数帯域における量子化ノイズレベルを一定の値以下に抑えることができる。

【0054】部分負帰還ループのゲイン G_p は、部分負帰還ループを構成する差動増幅器の乗算器係数によって決定される。例えば、帰還回路 $m11$ により形成される部分負帰還ループのゲイン G_p は、差動増幅器 $a2 \cdot a3 \cdot a11$ の乗算器係数の積で決定される。したがって、これらの乗算器係数は、所定の周波数帯域において、所定のダイナミックレンジが保たれ、かつ、零点周波数が所望の周波数となるように設定される。

【0055】ここで、上記周波数帯域とダイナミックレンジとの一例として、現行の民生用デジタルオーディオ

$$\alpha 1 = \alpha 3 / (2 \cdot \sqrt{2})$$

$$\alpha 2 = \alpha 3 / \sqrt{2}$$

などに設定される。

【0057】さらに、本実施形態に係るデルタシグマ変調回路 31 には、副信号を上記零点周波数の搬送波で振幅変調して、付加情報信号を発生する付加情報信号発生回路 (副信号重畳手段) 21 が設けられている。当該付加情報信号発生回路 21 の出力は、加算器 13 に印加され、各積分器 $m1 \sim m7$ の出力および付加情報信号の合計が量子化器 14 に出力される。

【0058】本実施形態では、上記付加情報信号の主信号への重畳は、デルタシグマ変調回路 31 内の加算器 13 を用いて行われている。当該加算器 13 は、デルタシグマ変調する際、量子化出力を遅延して入力側に負帰還するために必要不可欠の構成であり、当該加算器 13 を付加情報信号の重畳に兼用することによって、特別な構成を付加することなく、主信号と副信号とを多重化して伝送できる。

【0059】なお、図 1 では、説明の便宜上、デルタシグマ変調回路 31 において、積分次数が 7 次で、部分負帰還ループの数が 3 つの場合を例にして説明したが、これに限るものではない。零点制御が可能なデルタシグマ変調回路であれば、本実施形態と同様の効果が得られる。

された後、積分器 $m2$ に設けられた差動増幅器 $a2$ の非反転入力端子に負帰還される。

【0053】これら 3 つの部分負帰還ループによって、1ビットデジタル信号の量子化ノイズレベルの周波数特性には、図 3 に示すように、3 つのディップが形成される。ディップの中心周波数 (零点周波数) f は、それぞれの部分負帰還ループのループゲイン G_p によって決まり、以下の式 (1) に示すように、

$$\dots (1)$$

機器で要求される条件を挙げると、10kHz~20kHz の周波数帯域において、90~100dB 程度の S/N を保つことが要求される。したがって、上記各部分負帰還ループのゲイン G_p は、図 3 に示すように、例えば、20kHz 以下の領域において、所望のダイナミックレンジ (例えば、90dB 程度) を確保できるような大きさに設定される。

【0056】このように、上記所定の周波数帯域が音声帯域 (通常可聴帯域) の場合を例にして説明すると、音声帯域の上限 (20kHz 付近) を中心にディップを形成することによって、当該音声帯域の量子化ノイズフロアの深さを効果的に低下させることができる。この場合、ディップが存在する帯域は、1kHz~40kHz 程度となる。また、上記 3 つのディップの周波数 (零点周波数) $\alpha 1$ 、 $\alpha 2$ 、 $\alpha 3$ は、例えば、以下の式

$$(2)、(3) に示すように、$$

$$\dots (2)$$

$$\dots (3)$$

【0060】ここで、副信号と付加情報信号との対応、具体的には、副信号をどのように符号化するか、あるいは、どの零点周波数に何ビットの情報量を持つフラグを割り当てるかは、様々に設定できるが、以下では、図 2 を参照して、左チャネルの 1ビットデジタル信号にのみチャネル情報を付加し、かつ、上記 3 つの零点周波数を低い方から $\alpha 1 \cdot \alpha 2 \cdot \alpha 3$ としたとき、音声信号が左チャネルの場合、零点周波数 $\alpha 2$ のみにフラグを立てる場合を例にして説明する。

【0061】この場合、各チャネルに対応する零点周波数は、1 つであり、当該零点周波数にて付加する情報量は 1 ビットである。したがって、付加情報信号発生回路 21 は、当該零点周波数にて所定のレベルで発振する発振器 22 と、当該発振器 22 の出力を付加情報信号として出力するか否かを選択するスイッチ 23 によって実現できる。

【0062】本実施形態では、左チャネル側のデルタシグマ変調回路 31 L において、上記発振器 22 は、発振周波数が 2 番目の零点周波数 $\alpha 2$ に設定され、出力レベルは、零点周波数 $\alpha 2$ における量子化ノイズレベルから、音声信号レベルの下限值までの大きさよりも、小さく設定されている。また、上記スイッチ 23 は、当該デ

ルタシグマ変調回路31Lに印加される音声信号がステレオ信号のとき導通する。なお、例えば、モノラル信号のときなど、当該音声信号が左チャンネルではないとき、スイッチ23は遮断される。

【0063】本実施形態に係る音声信号伝送装置1は、チャンネル情報を付加する構成を簡略化するため、左チャンネルの1ビットデジタル信号にのみチャンネル情報を付加し、右チャンネルの1ビットデジタル信号には付加していない。すなわち、右チャンネルのデルタシグマ変調回路32Rは、音声信号源2Rからのアナログ音声信号を、そのままデルタシグマ変調している。具体的には、図4に示すように、当該デルタシグマ変調回路32は、図1に示すデルタシグマ変調回路31から付加情報信号発生回路21を省いた構成となっている。また、これに伴って、図1に示す加算器13に代えて、入力数が1つ少ない加算器13aが用いられている。なお、残余の構成は、デルタシグマ変調回路31と同様であるため、同一の機能を有する部材には、同一の符号を付して説明を省略する。

【0064】これにより、図2に示す送信回路3において、デルタシグマ変調回路31Lは、音声信号源2Lが出力したアナログの音声信号をデルタシグマ変調し、かつ、左チャンネルであることを示すチャンネル情報を重畳する。この結果、チャンネル情報が重畳された1ビットデジタル信号は、出力端子41Lから出力される。これら左右チャンネルの1ビットデジタル信号は、伝送路4L・4Rを介して、受信回路5に伝送される。なお、本実施形態では、右チャンネル側の出力端子41Rから出力される1ビットデジタル信号には、チャンネル情報が重畳されていない。

【0065】一方、送信回路5では、伝送路4Lを介し、入力端子42Lから入力された1ビットデジタル信

$$F_t = 32 \times 44.1 / 2 = 705.6 \text{ [kHz]} \quad \dots (4)$$

$$F_a = 32 \times 44.1 / 6 = 235.2 \text{ [kHz]} \quad \dots (5)$$

となる。

【0070】しかしながら、実際に回路をハードウェア化した場合、上記上限周波数 F_t 、 F_a までの周波数帯域において、量子化ノイズを十分に低減することは困難である。したがって、現行の民生用デジタルオーディオ機器で要求される S/N の条件、すなわち、10~20kHzでの S/N を90~100dB程度とすることが比較的容易に実現できるように、上記上限周波数 F_t 、 F_a の現実的な値は、それらの $1/2 \sim 1/4$ 程度となっている。具体的には、例えば、 F_a は、50kHz程度、 F_t は120kHz程度に設定される。なお、上記サンプリング周波数 FS を64fsまで上げた場合には、各上限周波数 $F_a \cdot F_t$ は、それぞれ100kHz、240kHz程度となる。

【0071】また、上記チャンネル切り換え回路53は、具体的には、リレーやアナログスイッチなどで実現さ

号は、復調回路51Lおよびローパスフィルタ52Lを介して、チャンネル切り換え回路53に伝えられる。同様に、伝送路4Rを介し、入力端子42Rから入力された1ビットデジタル信号は、復調回路51Rおよびローパスフィルタ52Rを介して、上記チャンネル切り換え回路53に印加される。なお、当該チャンネル切り換え回路53、および、後述するチャンネル判別回路63が、特許請求の範囲に記載の制御手段に対応している。

【0066】上記各復調回路51は、例えば、ローパスフィルタなどで実現されている。この場合、ローパスフィルタの遮断周波数は、1ビットデジタル信号で伝送可能な伝送帯域の上限周波数 F_t に設定されている。これにより、1ビットデジタル信号は、アナログ信号に変調される。なお、上記ローパスフィルタ52は、音声信号の有効周波数帯域より高域のノイズ成分を除去できればよい。したがって、特に、高次のフィルタではなく、1次のフィルタで十分である。この場合は、例えば、1個の抵抗と1個のコンデンサとで実現できる。

【0067】また、各復調回路51の後段に配された各ローパスフィルタ52の遮断周波数は、上記伝送帯域のうち、音声信号を伝送する帯域（音声帯域）の上限周波数 F_a に設定されている。これにより、各ローパスフィルタ52において、上記アナログ信号から主信号となる音声信号が抽出され、チャンネル切り換え回路53へ入力される。

【0068】ここで、高速サンプリング1ビット符号化方式では、サンプリング周波数を FS とすると、 $FS/2$ が伝送帯域の上限周波数 F_t となり、 $FS/6$ が音声帯域として使用可能な周波数帯域の上限周波数 F_a となることが知られている。

【0069】例えば、 $FS = 32 \text{ fs}$ 、 f_s をコンパクトディスクの場合のように、44.1kHzとすると、

れ、1つの入力を、2つの出力のうちの何れか一方を選択して出力するスイッチ $s1 \cdot s2$ を備えている。スイッチ $s1$ の共通接点 $s1C$ は、ローパスフィルタ52Lに接続されており、スイッチ $s2$ の共通接点 $s2C$ は、ローパスフィルタ52Rに接続されている。また、スイッチ $s1$ の一方の個別接点 $s1L$ と、スイッチ $s2$ の一方の個別接点 $s2L$ とは共通に左チャンネルのアンプ6Lを介してスピーカ7Lに接続されている。同様に、両スイッチ $s1 \cdot s2$ の残余の個別接点 $s1R \cdot s2R$ は共通に右チャンネルのアンプ6Rを介してスピーカ7Rに接続されている。各スイッチ $s1 \cdot s2$ は、後述するチャンネル判別回路63の指示に応じ、連動して切り換えられる。これにより、受信回路5が両チャンネルのスピーカ7L・7Rへアナログの音声信号を出力する際、左右チャンネルを入れ換えるか否かを選択できる。

【0072】さらに、1ビットデジタル信号に重畳され

た副信号、すなわち、チャンネル情報を抽出するために、受信回路5には、上記各復調回路51L・51Rの出力に接続され、中心周波数が上記零点周波数 α 2に設定されたバンドパスフィルタ62L・62Rと、各バンドパスフィルタ62L・62Rの出力に基づいて、上記チャンネル切り換え回路53を制御するチャンネル判別回路63L・63Rが設けられている。

【0073】上記各バンドパスフィルタ62は、上記零点周波数 α 2以外の帯域におけるノイズを除去できればよく、チャンネル情報の抽出は、チャンネル判別回路63で行われる。したがって、特に高次のフィルタを用いることなく、1次のフィルタで実現できる。

【0074】また、左チャンネルのチャンネル判別回路63Lは、バンドパスフィルタ62Lの出力信号をフーリエ変換し、上記周波数 α 2成分が所定の値を越えていた場合、左チャンネルを示すフラグが立っていると判定する。さらに、当該チャンネル判別回路63Lは、左チャンネルを示すフラグが立っていると判定したとき、上記チャンネル切り換え回路53内のスイッチs1において、個別接点s1L側を導通させ、スイッチs2の個別接点s2R側を導通させる。一方、右チャンネルのチャンネル判別回路63Rは、チャンネル判別回路63Lと同様に、バンドパスフィルタ62Rの出力信号の周波数 α 2成分が所定の値を越えていた場合に、左チャンネルを示すフラグが立っていると判定して、チャンネル判別回路63Lの場合とは逆に、上記チャンネル切り換え回路53内のスイッチs1に個別接点s1R側を選択させ、スイッチs2に個別接点s2L側を選択させる。

【0075】ここで、例えば、副信号としてチャンネル情報を重畳する場合のように、重畳した副信号を常時抽出する必要がない場合、各チャンネル判別回路63は、特定の時点で副信号を抽出することによって、主信号と副信号とを分離する際の精度をさらに向上できる。

【0076】具体的には、各チャンネル判別回路63は、副信号が存在する周波数に隣接した狭帯域において、バンドパスフィルタ62の出力信号レベルを監視して、1ビットデジタル信号における主信号のレベルを監視する。例えば、無入力信号時や微小入力信号など、当該狭帯域における出力信号レベルが所定のレベルに到達しない期間に、チャンネル判別回路63は、副信号を抽出する。

【0077】副信号の周波数は、零点制御で決定される零点周波数で固定されており、そのスペクトルは、隣接した帯域まで拡散していない。一方、音声信号などの主信号のスペクトルは、副信号に比べて拡散している。この結果、当該零点周波数に隣接した狭帯域における入力信号レベルを判別することにより、零点周波数近傍において、主信号のレベルが低下している期間を正確に判別できる。したがって、この期間中に、チャンネル判別回路63が副信号を抽出することによって、主信号と副信号

とをさらに精度よく分離できる。

【0078】例えば、マルチビット符号化方式のコンパクトディスクでは、記録可能なダイナミックレンジが100dBである。一方、量子化ノイズフロアの形状は、図1に示すデルタシグマ変調回路31内の積分回路12を構成する素子の定数などによって大きく変化するが、例えば、デルタシグマ変調回路31のサンプリング周波数FSが64fsの場合、S/Nを約-120dB以下まで低下させることができる。したがって、上記入力信号レベルのしきい値を約-120dB程度に設定できる。

【0079】なお、チャンネル判別回路63が監視する信号は、バンドパスフィルタ62の出力信号に限らず、例えば、復調回路51の出力信号レベルなどでもよい。上記狭帯域での主信号レベルを識別可能であれば、本実施形態と同様の効果が得られる。

【0080】上記構成における音声信号伝送装置1各部の動作を、図2に基づいて説明すると以下の通りである。すなわち、音声信号源2Lで生成された左チャンネルのアナログ音声信号は、送信回路3へ入力される。送信回路3において、当該音声信号には、左チャンネルを示すチャンネル情報として、付加情報信号発生回路21内の発振器21aで生成させた搬送周波数 α 2の正弦波信号が、デルタシグマ変調回路31L内の加算器13（図1参照）にて加算される。さらに、加算された信号は、デルタシグマ変調されて、伝送路4Lに出力される。一方、右チャンネルの音声信号は、音声信号源2Rで生成され、送信回路3内のデルタシグマ変調回路32Rで、そのまま1ビットデジタル信号にデルタシグマ変調された後、伝送路4Rに出力される。

【0081】ここで、上記両伝送路4L・4Rが正しく接続されていた場合、左チャンネルの1ビットデジタル信号は、受信回路5において、左チャンネル用の入力端子42Lに入力され、右チャンネルの1ビットデジタル信号は、入力端子42Rに入力される。左チャンネル用の入力端子42Lから入力された1ビットデジタル信号は、復調回路51Lおよびローパスフィルタ52Lにて、復調された後、音声信号成分が抽出される。また、復調回路51Lの出力信号は、バンドパスフィルタ62Lおよびチャンネル判別回路63Lに印加され、予め設定された周波数 α 2成分が所定のレベルを越えているか否かが判定される。同様に、入力端子42Rから入力された1ビットデジタル信号に対して、復調回路51Rおよびローパスフィルタ52Rにて、復調と音声信号成分の抽出とが行われる。

【0082】ここで、上記入力端子42Lには、左チャンネルの1ビットデジタル信号、すなわち、チャンネル情報が上記周波数 α 2にて周波数分割多重で重畳された信号が、正しく入力されている。したがって、チャンネル判別回路63Lは、当該1ビットデジタル信号に、左チャネ

ルを示すチャンネル情報が重畳されていると判定して、チャンネル切り換え回路53内のスイッチs1・s2を制御する。なお、右チャンネルの1ビットデジタル信号には、チャンネル情報が重畳されていないので、上記周波数成分 $\alpha 2$ は、所定のレベルに到達しない。したがって、チャンネル判別回路63Rは、チャンネル切り換え回路53を制御していない。

【0083】これにより、スイッチs1は、個別接点s1Lに導通し、ローパスフィルタ52Lの出力信号を左チャンネルの出力端子71Lから出力する。この結果、左チャンネルの音声信号は、アンプ6Lおよびスピーカ7Lによって音響化される。また、スイッチs2は、個別接点s2Rに導通し、ローパスフィルタ52Rの出力信号を右チャンネルの出力端子71Rから出力する。この結果、右チャンネルの音声信号は、アンプ6Rおよびスピーカ7Rによって音響化される。

【0084】これに対して、伝送路4L・4Rが入れ換わっていた場合には、左チャンネルの1ビットデジタル信号は、受信回路5において、右チャンネル用の入力端子42Rに入力される。この結果、当該1ビットデジタル信号の周波数 $\alpha 2$ 成分は、所定のレベルを越える。したがって、右チャンネルのチャンネル判別回路63Rは、左チャンネルを示すチャンネル情報が重畳されていると判定し、伝送路4L・4Rが正しく接続されている場合とは逆に、スイッチs1に個別接点s1R側を選択させ、スイッチs2に個別接点s2L側を選択させる。この結果、左チャンネルの1ビットデジタル信号が右チャンネル用の入力端子42Rに誤って入力された場合であっても、受信回路5は、当該1ビットデジタル信号を復調した音声信号を、左チャンネルの出力端子71Lから正しく出力する。

【0085】このように、受信回路5は、受け取った1ビットデジタル信号のチャンネルが入れ換わっていた場合、当該1ビットデジタル信号に重畳されたチャンネル情報に基づいて、左右チャンネルを入れ換えて出力できる。この結果、伝送路4R・4Lの入れ換わりなどによって、通常とは異なるチャンネルの1ビットデジタル信号が受信回路5に伝えられた場合であっても、音声信号伝送装置1は、各チャンネルの音声信号を正しいチャンネルで音響化できる。

【0086】上記構成では、主信号に対して、副信号を周波数分割多重で重畳しているため、主信号と副信号とを時分割多重で伝送する従来の方式のように、特別なフォーマットやエラー防止回路を必要としない。また、周波数分割多重で重畳しているため、副信号を重畳するにあたって、デルタシグマ変調回路31内の加算器13

(図1参照)を利用できる。これらの結果、副信号を伝送するための構成を飛躍的に簡略化でき、1ビットデジタル符号化方式の利点を損なうことなく、主信号と副信号と伝送できる。

【0087】なお、以上の説明では、左チャンネルの1ビ

ットデジタル信号のみに、チャンネル情報が重畳される場合について説明したが、これに限らず、例えば、右チャンネルのみに重畳してもよい。さらに、例えば、右チャンネルの場合、零点周波数 $\alpha 1$ にフラグを立て、左チャンネルの場合、零点周波数 $\alpha 2$ にフラグを立てるなどして、両チャンネルの1ビットデジタル信号それぞれに、互いに異なるチャンネル情報を重畳してもよい。各チャンネルの1ビットデジタル信号のうち、少なくとも1つの1ビットデジタル信号にチャンネル情報が重畳されていれば、本実施形態と同様の効果が得られる。

【0088】また、以上の説明では、左右2チャンネルの場合について説明したが、本願発明は、これに限らず、音声信号伝送装置1が複数のチャンネルを備えている場合にも適用できる。例えば、前3チャンネル(右、中央および左)と後ろ2チャンネル(右および左)とからなるマルチチャンネルに分離し、受信回路にて、各チャンネルの識別を行う場合にも適用できる。この場合、チャンネル情報と零点周波数との対応関係の一例として、前右チャンネルの場合には、零点周波数 $\alpha 1$ のみにフラグを立て、前左チャンネルの場合には、零点周波数 $\alpha 2$ のみにフラグを立てると共に、前中央チャンネルの場合には、零点周波数 $\alpha 3$ のみにフラグを立てる。さらに、後右チャンネルの場合には、零点周波数 $\alpha 1 \cdot \alpha 2$ の双方にフラグを立て、後左チャンネルの場合には、零点周波数 $\alpha 1 \cdot \alpha 3$ の双方にフラグを立てる。このように、零点周波数の組み合わせによって、零点周波数の個数以上のチャンネルに対応できる。

【0089】〔第2の実施形態〕上述した第1の実施形態では、副信号として、チャンネル情報を重畳する場合について説明した。これに対し、本実施形態では、図5に基づいて、音声信号伝送装置1aが主信号となる音声信号を伝送する際、副信号として、プリエンファシスの有無を示すフラグを重畳する場合について説明する。プリエンファシスとは、デルタシグマ変調回路31に入力される音声信号に対して、予め所定の周波数成分を強調する処理を意味し、プリエンファシスが行われていた場合、上記音声信号伝送装置1aの受信回路5aは、音声信号を復調する際に、上記所定の周波数成分のレベルを低下させる処理、すなわち、ディエンファシス処理を行う。これにより、受信回路5aは、アンプ6L・6Rへ出力するアナログの音声信号の周波数特性を平坦に戻すことができる。

【0090】なお、プリエンファシス処理は、所定の周波数成分を強調する処理であり、例えば、高域成分を強調し、かつ、低域成分を抑制する場合や、これとは逆に、低域成分を強調し、高域成分を抑制する場合など、様々な周波数成分を強調する場合が考えられる。以下では、その一例として、プリエンファシス処理によって、高域成分が強調される場合について説明する。

【0091】具体的には、本実施形態に係る音声信号伝

送装置1aは、受信回路5aにおいて、図2に示すチャネル切り換え回路53に代えて、ディエンファシス回路54L・54Rが設けられており、各チャネル判別回路63Lに代えて、エンファシス判別回路64Lが設けられている。本実施形態に係る受信回路5aでは、左チャネルのみに、エンファシス判別回路64Lが設けられており、当エンファシス判別回路64Lは、両チャネルのディエンファシス回路54L・54Rを制御する。これに伴って、当該受信回路5aでは、図2に示す受信回路5から、右チャネルのバンドパスフィルタ62Rおよびチャネル判別回路63Rが省かれている。なお、上記ディエンファシス回路54およびエンファシス判別回路64が特許請求の範囲に記載の制御手段に対応する。

【0092】また、送信回路3aでは、チャネル判別信号を生成する付加情報信号発生回路21に代えて、エンファシス判別信号を生成する付加情報信号発生回路21aが設けられている。なお、説明の便宜上、上述した第1の実施形態の図面に記した部材と同一の機能を有する部材には、同一の符号を付記してその説明を省略する。

【0093】上記付加情報信号発生回路21aは、上記付加情報信号発生回路21と同様に、発振器22とスイッチ23とから構成されている。ただし、本実施形態では、スイッチ23は、デルタシグマ変調回路31へ入力されるアナログの音声信号がプリエンファシスされている場合に導通し、プリエンファシスされていない場合、遮断される。なお、上記スイッチ23の開閉は、送信回路3内にプリエンファシス回路が設けられている場合には、そのオフ/オンに連動して行われる。また、音声信号源2L・2R側に、プリエンファシス回路が設けられている場合には、その音声信号源2L・2Rから送信回路3aへ、専用の切り換え信号を伝達し、当該切り換え信号に基づいて、スイッチ23の開閉を制御してもよい。さらに、ユーザの指定に基づいて、スイッチ23の開閉が行われてもよい。いずれの場合であっても、プリエンファシスが行われている場合、デルタシグマ変調回路31には、スイッチ23を介して、プリエンファシス判別信号が印加される。

【0094】また、本実施形態では、発振器22の発振周波数が $\alpha 1$ に設定されている。したがって、プリエンファシスがオンのとき、送信回路3aが左チャネルの出力端子41Lから出力する1ビットデジタル信号には、副信号として、上記零点周波数 $\alpha 1$ にフラグが立てられる。

【0095】一方、受信回路5aに設けられた左チャネルのディエンファシス回路54Lには、ローパスフィルタ52Lと出力端子71Lとの間に設けられ、互いに直列に接続された抵抗 $r1L \cdot r2L$ と、両抵抗 $r1L \cdot r2L$ に一端が接続されたコンデンサ cL と、当該コンデンサ cL の他端を接地するか否かを選択するスイッチ $s3L$ とが設けられている。同様に、右チャネルのディ

エンファシス回路54Rは、抵抗 $r1R \cdot r2R$ と、コンデンサ cR と、スイッチ $s3R$ とを備えている。後述するように、ディエンファシスを行う場合、上記両スイッチ $s3L \cdot s3R$ は、エンファシス判別回路64の指示に応じ、連動して導通する。これにより、ローパスフィルタが形成され、両ディエンファシス回路54L・54Rの減衰量を、周波数が高くなるに伴って増加させることができる。また、各ディエンファシス回路54において、抵抗 $R1 \cdot R2$ およびコンデンサ C の大きさは、プリエンファシス処理を打ち消すことができるような大きさに予め設定されている。

【0096】したがって、両ディエンファシス回路54L・54Rは、両ローパスフィルタ52L・52Rの出力信号のうち、高周波成分を抑制して、出力端子71L・71Rからそれぞれ出力できる。これにより、プリエンファシス処理で、高域成分が強調された場合、受信回路5aは、プリエンファシス処理を打ち消して、平坦な周波数特性を持つアナログの音声信号をアンプ6L・6Rに出力できる。

【0097】なお、ディエンファシス回路54は、プリエンファシスの定数に合わせて構成され、例えば、プリエンファシス処理が低域強調の場合は、スイッチ $s3$ が導通した場合にハイパスフィルタを形成するように構成される。

【0098】また、エンファシス判別回路64は、図2に示すチャネル判別回路63と同様であり、各復調回路51の出力信号から、副信号であるエンファシス判別信号を抽出し、上記各ディエンファシス回路54を制御する。具体的には、復調回路51の出力信号において、零点周波数 $\alpha 1$ 成分が所定のレベルを越えた場合、ディエンファシス回路54は、主信号である音声信号がプリエンファシスされていると判定し、上記両スイッチ $s3L \cdot s3R$ を導通させる。

【0099】このように、上記構成の音声信号伝送装置1aにおいて、送信回路3aは、音声信号に密接に関連するプリエンファシスの有無を示す副信号を、1ビットデジタル信号に重畳して伝送できる。また、受信回路5aは、当該副信号に基づいて、ディエンファシスのオン/オフを自動的に選択できる。さらに、エンファシス判別信号を、そのまま発光ダイオードに接続するだけで、プリエンファシスの有無を示す表示回路を構成できる。

【0100】〔第3の実施形態〕本願発明のさらに他の実施の形態として、本実施形態では、主信号となる音声信号の時間情報が副信号として付加される場合について、図6に基づき説明する。なお、本実施形態に係る音声信号伝送装置1bは、第1の実施形態に係る音声信号伝送装置1と類似しているため、説明の便宜上、上述の第1の実施形態の図面に記した部材と同一の機能を有する部材には、同一の符号を付記してその説明を省略する。

【0101】本実施形態に係る音声信号伝送装置1bでは、送信回路3bにおいて、図2に示す付加情報信号発生回路21に代えて、時間情報信号を生成する付加情報信号発生回路21bが設けられている。当該時間情報は、音声信号を送送する際の通算時間を示す情報、あるいは、例えば、曲など、音声信号が複数の部分に分割される場合、各曲毎の経過時間を示す情報などであり、8ビット程度の情報量を有している。なお、この時間情報は、上述のエンファシス判別信号と同様に、送信回路3b内で生成されても、あるいは、音声信号源2側から入力されてもよい。

【0102】上記付加情報信号発生回路21bは、具体的には、零点周波数 $\alpha 1 \sim \alpha 3$ の各周波数の正弦波を生成する発振器22と、時間情報に対応したデジタル信号を生成する時間情報発生回路24と、当該デジタル信号に基づいて、上記各正弦波を振幅変調するエンコーダ25とを備えている。上記エンコーダ25は、時間情報発生回路24からのデジタル信号を、各零点周波数 $\alpha 1 \sim \alpha 3$ に対応するビット列に分割する。本実施形態では、時間情報が8ビット程度であり、零点周波数が3つに設定されている。したがって、時間情報は、3ビット長の3つのビット列に分割される。さらに、エンコーダ25は、発振器22から入力された各零点周波数の正弦波を、各零点周波数に対応するビット列の値に応じて、8段階に振幅変調する。また、エンコーダ25は、振幅変調された各信号を重畳して、時間情報信号を生成する。これにより、付加情報信号発生回路21bは、付加情報信号として時間情報信号をデルタシグマ変調回路31へ印加できる。

【0103】一方、受信回路5bには、図2に示すチャネル判別回路63Lに代えて、上記時間情報信号を復調するデコーダ(制御手段)65と、当該デコーダ65の指示に応じて表示装置67を駆動する表示駆動回路66とが設けられている。なお、受信回路5bでは、図2に示す受信回路5から、右チャネル側のバンドパスフィルタ62およびチャネル判別回路63、並びに、チャネル切り換え回路53が省かれており、各ローパスフィルタ52L・52Rの出力信号は、そのまま出力端子71L・71Rから出力されている。

【0104】上記デコーダ65は、バンドパスフィルタ62を介して復調回路51の出力信号を受け取り、フーリエ変換を用いて、各零点周波数 $\alpha 1 \sim \alpha 3$ の周波数成分を抽出する。さらに、デコーダ65は、上記エンコーダ25とは逆の手順で時間情報を示すデジタル信号へと復調する。具体的には、デコーダ65は、各周波数成分を振幅復調して、それぞれ、3ビットのビット列を生成し、各ビット列を連結されて時間情報を示すデジタル信号を出力する。

【0105】また、上記表示装置67は、例えば、日文字セグメントを複数並べて構成されている。各セグメン

トは、表示駆動回路66の指示に基づき、「日」の文字の各ノード毎に点灯/消灯を制御して、数字または英字を表示できる。上記表示駆動回路66は、デコーダ65からのデジタル信号に基づいて、各セグメントの点灯ノードを決定し、例えば、各セグメントの点灯ノードを示す端子に電圧を印加するなどして、表示装置67の表示を制御する。これにより、表示装置67は、時間情報を示す文字列を表示できる。

【0106】なお、各零点周波数 $\alpha 1 \sim \alpha 3$ において、副信号のダイナミックレンジとして、8段階に振幅変調するために必要なレンジを確保できない場合は、順次重畳されるフラグを幾つかまとめて1語を形成し、語単位で時間情報を表せばよい。例えば、副信号のダイナミックレンジとして、1ビット、すなわち、2段階に振幅変調可能なレンジしか確保できない場合、エンコーダ25は、時間情報発生回路24からのデジタル信号を3ビットずつに分割し、各ビットの値に応じて、発振器22からの正弦波を所定の周期で断続する。これにより、各零点周波数において、副信号のダイナミックレンジとして確保可能なレンジの合計が、時間情報を伝送するために必要な大きさに満たない場合であっても、時間情報を伝送できる。

【0107】〔第4の実施形態〕本願発明のさらに他の実施の形態として、本実施形態では、主信号となる音声信号を送送する際、副信号として、当該音声信号の著作権擁護のためのフラグを重畳して伝送する場合について、図7に基づき説明する。なお、本実施形態に係る音声信号伝送装置1cも、第1の実施形態に係る音声信号伝送装置1と類似しているため、説明の便宜上、上述の第1の実施形態の図面に記した部材と同一の機能を有する部材には、同一の符号を付記してその説明を省略する。

【0108】本実施形態に係る音声信号伝送装置1cでは、送信回路3cにおいて、図2に示す付加情報信号発生回路21に代えて、著作権擁護のためのフラグの有無を示すフラグ信号を生成する付加情報信号発生回路21cが設けられている。一方、受信回路5cには、図2に示すチャネル切り換え回路53に代えて、音声信号の出力するか否かを選択する出力制御回路55が設けられており、チャネル判別回路63L・63Rに代えて、上記フラグ信号を判別するフラグ判別回路68L・68Rが設けられている。なお、出力制御回路55およびフラグ判別回路68が特許請求の範囲に記載の制御手段に対応する。

【0109】上記フラグは、主信号となる音声信号の複写および複製を制御するために付加されるものであって、本実施形態では、音声信号の複写を1回行う場合、すなわち、送信回路3cから受信回路5cへの信号伝送を1回行う場合、送信回路3cは、フラグ有りを示すフラグ信号を1ビットデジタル信号に重畳して伝送する。

一方、受信回路 5c は、フラグ信号がフラグ有りを示している場合、当該 1 ビットデジタル信号の復調出力すなわち再生を阻止する。

【0110】具体的には、上記付加情報信号発生回路 21c において、発振器 22 は、例えば、零点周波数 α 1 など、所定の零点周波数の正弦波を連続して出力する。スイッチ 23 は、音声信号を 1 回複写する場合に導通して、上記正弦波をフラグ信号としてデルタシグマ変調回路 31 に印加する。これにより、音声信号を 1 回複写する場合、当該音声信号には、フラグ有りを示すフラグ信号が重畳され、1 ビットデジタル信号にデルタシグマ変調される。

【0111】また、受信回路 5c において、出力制御回路 55 は、ローパスフィルタ 52L と出力端子 71L との間に設けられたスイッチ s4L と、ローパスフィルタ 52R と出力端子 71R との間に設けられたスイッチ s4R とを備えている。さらに、各フラグ判別回路 68 は、図 2 に示すチャネル判別回路 63 と同様の構成であり、復調回路 51 の出力信号における零点周波数 α 1 成分の大きさに基づいて、フラグの有無を判別し、上記両スイッチ s4L・s4R の開閉を制御する。具体的には、各フラグ判別回路 68 は、当該周波数成分が所定のレベルを越えている場合、フラグがあると判定する。少なくとも一方がフラグ有りだと判定すると、フラグ判別回路 68 は、上記両スイッチ s4L・s4R を遮断する。また、両方のフラグ判別回路 68 がフラグ無しと判定した場合、上記両スイッチ s4L・s4R は導通する。

【0112】例えば、1 ビットデジタル信号が、図示しない音声信号源から直接受信回路 5c へ印加された場合など、受信回路 5c に入力される 1 ビットデジタル信号にフラグ有りを示すフラグ信号が重畳されていない場合、フラグ判別回路 68 は、上記両スイッチ s4L・s4R を導通させる。この結果、当該 1 ビットデジタル信号は、復調回路 51、ローパスフィルタ 52、および、出力制御回路 55 を介し、アナログの音声信号として、出力端子 7L・7R から出力される。

【0113】これに対して、図 7 に示すように、音声信号源 2 の出力した音声信号が、送信回路 3c および伝送路 4 を介して受信回路 5c に伝送される場合、送信回路 3c は、フラグ有りを示すフラグ信号を 1 ビットデジタル信号に重畳して伝送する。したがって、受信回路 5c では、フラグ判別回路 68 が上記両スイッチ s4L・s4R を遮断する。これにより、当該ローパスフィルタ 52 の出力信号は、出力制御回路 55 にて伝達が阻止され、出力端子 7L・7R から出力されない。この結果、音声信号の作成者の意図に応じて、当該音声信号の複写あるいは複製回数を制御することができ、音声信号の作成者の著作権を擁護できる。

【0114】ここで、上記フラグ信号の搬送周波数は、零点周波数に設定されており、主信号となる音声信号の

有効周波数帯域内にある。したがって、零点周波数を知らない第三者が、伝送路 4 にて伝送される 1 ビットデジタル信号から、フラグ信号を改竄することは極めて困難である。例えば、マルチビット符号化方式の場合は、音声信号を示すビットとフラグ信号を示すビットとが時分割多重で伝送されているため、伝送路 4 を通過するデジタル信号から、全てのビットを受け取り、所定の順番のビットを改竄すれば、フラグ信号を改竄できる。また、本実施形態と同様に、音声信号とフラグ信号とを周波数分割多重で伝送する場合であっても、音声信号の周波数帯域と、フラグ信号の周波数帯域とが異なっていれば、例えば、音声信号の周波数帯域のみを通過させるバンドパスフィルタなどを用いれば、伝送路 4 を通過する 1 ビットデジタル信号から、音声信号のみを抽出できる。これに対して、本実施形態では、フラグ信号の周波数帯域と音声信号の周波数帯域とが重なっているため、両者の分離自体が極めて難しい。例えば、1 ビットデジタル信号から、音声信号の周波数帯域成分のみを抽出しても、抽出された信号には、フラグ信号が含まれている。この結果、第三者によるフラグ信号の改竄を防止でき、従来に比べて、音声信号の作成者の著作権を確実に擁護できる。

【0115】なお、本実施形態では、フラグ信号は、フラグの有無を区別するだけであり、受信回路 5c は、音声信号の複写が行われたか否かのみを判別しているが、これに限るものではない。フラグ信号として、受信回路 5c が複写可能な回数を示す信号を使用すれば、音声信号の複写回数を、音声信号の作成者の意図した回数に制限できる。具体的には、音声信号源 2 は、出力する音声信号に、所定の零点周波数の搬送波を介して、音声信号の作成者の意図した複写回数を示すフラグ信号を予め周波数多重分割で重畳する。付加情報信号発生回路 21c は、当該フラグ信号が示す回数よりも 1 つ小さな回数を示すフラグ信号を生成し、デルタシグマ変調回路 31 は、重畳されていたフラグ信号を取り除いた後の音声信号を 1 ビットデジタル信号に変調すると共に、付加情報信号発生回路 21c が生成した新たなフラグ信号を当該 1 ビットデジタル信号に重畳する。さらに、受信回路 5c のフラグ判別回路 68 は、フラグ信号が示す回数を識別して、0 より大きい回数を示している場合のみ、出力制御回路 55 に、復調後の音声信号を出力させる。

【0116】〔第 5 の実施形態〕本願発明のさらに他の実施の形態として、本実施形態では、主信号となる音声信号を伝送する際、副信号として、当該音声信号の ID コードを重畳して伝送する場合について、図 8 に基づき説明する。なお、本実施形態に係る音声信号伝送装置 1d は、上記第 4 の実施形態に係る音声信号伝送装置 1c と類似しているため、説明の便宜上、上述の第 4 の実施形態の図面に記した部材と同一の機能を有する部材には、同一の符号を付記してその説明を省略する。

【0117】本実施形態に係る音声信号伝送装置1dでは、送信回路3dにおいて、図7に示す付加情報信号発生回路21cに代えて、上記IDコードを示すコード信号を生成する付加情報信号発生回路21dが設けられている。同様に、受信回路5dには、図7に示すフラグ判別回路68L・68Rの代わりに、上記コード信号を判別して、出力制御回路55を制御するコード判別回路（制御手段）69L・69Rが設けられている。

【0118】上記IDコードは、主信号となる音声信号自体を識別するためのコードであり、受信回路5dは、送信回路3dが付加したIDコードに基づいて、自らが享受可能な音声信号を判別して複写および複製を抑制する。このIDコードを用いると、例えば、無線や有線あるいは記録媒体を用いて、IDコードを重畳した音声信号を複数の聴衆に配信し、これらの聴衆のうち、所定の料金を支払った者のみが、当該音声信号を再生可能な音声信号伝送装置1dを実現できる。

【0119】本実施形態では、IDコードを符号化する場合の一例として、IDコードを二進数で表現し、二進数の各位毎に、各零点周波数を割り当てる。さらに、ある位が「1」のとき、それに対応する零点周波数にフラグを立て、「0」のときはフラグを立てない。例えば、零点周波数 $\alpha 1$ を一桁目、 $\alpha 2$ を二桁目、 $\alpha 3$ を三桁目に割り当てた場合、IDコード「101」は、 $\alpha 1$ と $\alpha 3$ とにフラグを立てて表現され、IDコード「011」は、 $\alpha 2$ と $\alpha 3$ とにフラグを立てて表現される。

【0120】この場合は、上記付加情報信号発生回路21dにおいて、発振器22は、それぞれ3つの零点周波数 $\alpha 1 \sim \alpha 3$ の正弦波を出力し、各正弦波に関連して設けられたスイッチ23は、対応する周波数でフラグを立てる場合に導通し、フラグを立てない場合に遮断される。これにより、付加情報信号発生回路21dは、IDコードを示すコード信号を出力する。当該コード信号は、デルタシグマ変調回路31にて、主信号となる音声信号に重畳される。

【0121】一方、コード判別回路69は、復調回路51の出力信号から、各零点周波数成分を抽出して、1ビットデジタル信号に重畳されていたIDコードを識別する。そして、当該IDコードが所定の条件を満たす場合、出力制御回路55の両スイッチs4L・s4Rを導通させ、そうではない場合には、両スイッチs4L・s4Rを遮断する。なお、所定の条件とは、例えば、予めコード判別回路69が記憶するIDコードと一致するか否かや、IDコードを用いた演算結果が、ある範囲内にあるか否かなど、IDコードの使用目的に応じて種々に設定できる。

【0122】この結果、受信回路5dは、受け取った1ビットデジタル信号に重畳されたIDコードが享受可能なIDコードである場合にのみ、各出力端子71から音声信号を出力できる。

【0123】なお、本実施形態では、副信号として、音声信号のIDコードを付加する場合について説明したが、IDコードに代えて、マスタリングコードを付加する場合でも、同様の効果が得られる。具体的には、マスターとなる音声信号を記録する場合には、当該音声信号がマスターであることを示すコード信号として、例えば、零点周波数 $\alpha 1$ にフラグを立てる。デルタシグマ変調回路31は、当該コード信号を1ビットデジタル信号に重畳し、1ビットデジタル信号は、上記記録媒体に書き込まれる。一方、受信回路5dのコード判別回路69は、記録媒体から1ビットデジタル信号を再生したとき、1ビットデジタル信号に重畳されたコード信号にตอบสนองして、出力制御回路55を制御する。これにより、受信回路5dは、マスタリングコードが付加されていない場合、例えば、音声信号の出力を抑制するなどして、音声信号の複写および複製を抑制する。

【0124】なお、上記第1ないし第5の実施形態にて重畳した副信号は、あくまで一例であって、副信号をどのように符号化するか、あるいは、どの零点周波数に何ビットの情報量を持つフラグを割り当てるかは、様々な設定できる。ただし、ある零点周波数にて重畳される付加情報信号のレベルは、零点周波数におけるノイズレベルから、音声信号レベルの下限值までの大きさよりも、小さく設定しなければならない。したがって、1つの零点周波数に付加されるフラグの情報量は、ディップでのノイズレベルと、音声信号のダイナミックレンジとによって制限される。さらに、図9から図11に示すように、零点周波数の個数を複数に設定し、各零点周波数に付加するフラグを組み合わせることによって、多種の副信号を多重化できる。

【0125】加えて、順次重畳されるフラグを幾つかまとめて1語を形成し、語単位で副信号を表せば、さらに多くの副信号を重畳できる。ただし、この場合は、副信号の伝送に関しては、従来のように、マルチビット符号化方式を用いて主信号を伝送する場合と同様に、語同期が必要となる。したがって、副信号を時分割多重で伝送しない場合に比べて、回路が複雑になり、規格の変更が困難になる。ところが、従来とは異なり、副信号をマルチビット符号化方式にて伝送する場合であっても、主信号は、1ビットデジタル信号を用いて伝送されている。したがって、副信号と主信号との分離、および、主信号の処理に関しては、副信号を時分割多重で伝送しない場合と同様の回路で実現できる。したがって、上記各実施形態と同様に、主信号の処理回路を複雑にすることなく、主信号に副信号を重畳できる。また、副信号を抽出するためには、語同期を取る前に、主信号から副信号を分離する必要があるが、副信号が重畳されている周波数（零点周波数）は、主信号の有効使用帯域内にあるので、副信号の改竄が困難である点も同様である。

【0126】なお、上記第1から第5の各実施形態で

は、1種類の副信号を付加する場合について説明したが、これに限らず、複数種類の副信号を主信号に重畳してもよい。例えば、当該エンファシス判別信号と、上述のチャンネル判別信号とは、いずれも情報量が1ビットの信号であり、それぞれを1つの零点周波数で伝送できる。したがって、例えば、プリエンファシス処理がなされている場合、図3に示す零点周波数 $\alpha 1$ の搬送周波数でエンファシス判別信号を重畳し、左チャンネルの場合、零点周波数 $\alpha 2$ の搬送周波数でチャンネル判別信号を重畳できる。このように、エンファシス判別信号の搬送周波数とチャンネル判別信号の搬送周波数とをそれぞれ別の零点周波数に設定することによって、主信号となる音声信号に対して、プリエンファシスの有無を示すフラグとチャンネル情報との双方を同時に周波数分割多重で重畳して伝送できる。

【0127】また、上記各実施形態では、例えば、光ファイバなどの伝送路4を介して、1ビットデジタル信号を伝送する場合を例にして説明したが、これに限るものではない。本発明は、例えば、送信回路3(3a~3d)が、1ビットデジタル信号を記録媒体に記録し、受信回路5(5a~5d)が当該記録媒体から1ビットデジタル信号を再生する場合にも適用できる。受信回路5(5a~5d)が、送信回路3(3a~3d)の出力した1ビットデジタル信号を受け取るものであれば、上記各実施形態と同様の効果が得られる。

【0128】さらに、上記各実施形態では、主信号として音声信号を伝送する場合について説明したが、これに限るものではなく、本発明は、デルタシグマ変調による1ビット符号化方式を用いて伝送される信号であれば、他の信号を伝送する場合にも適用できる。

【0129】

【発明の効果】請求項1の発明に係る1ビットデジタル信号を介した信号伝送方法は、以上のように、1ビットデジタル信号を介した主信号の伝送工程の前に、上記有効周波数帯域内で、かつ、零点制御によって量子化雑音が低下している特定周波数にて、上記1ビットデジタル信号の主信号に副信号を周波数分割多重で重畳する工程と、上記伝送工程の後で、上記1ビットデジタル信号の上記特定周波数を弁別して、上記副信号を抽出する工程とを備えている構成である。

【0130】上記構成において、上記特定周波数では、量子化雑音のレベルが低下しているため、主信号のダイナミックレンジと副信号のダイナミックレンジとの双方を容易に確保でき、副信号を主信号に周波数分割多重で重畳できる。この結果、例えば、復調回路の簡略化など、1ビットデジタル信号にて信号を伝送する場合の利点を阻害することなく、主信号と副信号とを重畳できるという効果を奏する。

【0131】また、上記特定周波数は、主信号の有効周波数帯域内に設定されている。したがって、特定周波数

を知らない第三者は、主信号と副信号とを分離できない。この結果、第三者による副信号の改竄を確実に防止できるという効果を奏する。

【0132】請求項2の発明に係るデルタシグマ変調回路は、以上のように、特定周波数にて、上記1ビットデジタル信号の主信号に副信号を周波数分割多重で重畳する副信号重畳手段を備えている構成である。

【0133】それゆえ、請求項1と同様に、復調が容易であるというデルタシグマ変調の特徴を阻害することなく、主信号と副信号とを1ビットデジタル信号に変調可能なデルタシグマ変調回路を提供できるという効果を奏する。さらに、第三者による副信号の除去あるいは改竄を困難にすることができるという効果を併せて奏する。

【0134】請求項3の発明に係るデルタシグマ変調回路は、以上のように、請求項2記載の発明の構成において、上記副信号重畳手段は、上記加算器の入力の1つに、上記副信号を上記特定周波数の搬送波を介して入力する構成である。

【0135】上記構成では、デルタシグマ変調に使用される加算器は、副信号の重畳にも使用されるので、重畳のために設ける回路を簡略化できるという効果を奏する。

【0136】請求項4の発明に係るデルタシグマ変調回路は、以上のように、請求項2または3記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、チャンネル情報、プリエンファシスの有無、著作権擁護のためのフラグ、IDコード、マスタリングコード、または、時間情報のうちの少なくとも1つを示す信号である構成である。

【0137】上記構成では、各副信号は、主信号となる音声信号に密接に関連し、かつ、情報量が少ない情報を示している。したがって、特定周波数における副信号のダイナミックレンジが余り広くとれない場合であっても、デルタシグマ変調回路は、十分なS/Nで副信号を重畳して伝送あるいは記録できる。この結果、復調側において、上記副信号に基づいて、主信号に関連した処理を行うことができるという効果を奏する。

【0138】請求項5の発明に係る復調回路は、以上のように、零点制御を用いて生成された1ビットデジタル信号の主信号には、副信号が、零点制御に応じた特定周波数の搬送波を介して周波数分割多重で重畳されており、上記1ビットデジタル信号から上記特定周波数成分を弁別して上記副信号を抽出すると共に、当該副信号に応じて所定の処理を行う制御手段を備えている構成である。

【0139】上記構成では、主信号の周波数帯域内の特定周波数において、1ビットデジタル信号の量子化雑音のレベルが低下しているため、副信号のS/Nを十分に確保できる。したがって、上記制御手段は、簡単な構成で、1ビットデジタル信号に重畳されていた副信号を抽

出できるという効果を奏する。さらに、副信号は、周波数分割多重で重畳されているので、復調回路は、時分割多重で重畳する場合に比べて、主信号を容易に復調できるという効果を併せて奏する。

【0140】請求項6の発明に係る復調回路は、以上のように、請求項5記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、当該音声信号のチャンネルを示すチャンネル情報であると共に、上記制御手段は、当該チャンネル情報に基づいて、左右またはマルチチャンネルの分離を行う構成である。

【0141】それゆえ、復調回路は、音声信号のチャンネルを正しく判定でき、伝送路の入れ換わりなどによって、通常と異なるチャンネルの音声信号が入力された場合であっても、正しいチャンネルで音声信号の出力できるという効果を奏する。

【0142】請求項7の発明に係る復調回路は、以上のように、請求項5記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、当該音声信号のプリエンファシスの有無を示すフラグであると共に、上記制御手段は、当該フラグに基づいて、ディエンファシスのオン/オフを制御する構成である。

【0143】それゆえ、復調回路は、受け取った1ビットデジタル信号の音声信号がプリエンファシス処理された信号であるか否かを確実に判別して、音声信号にディエンファシスをかけることができるという効果を奏する。

【0144】請求項8の発明に係る復調回路は、以上のように、請求項5記載の発明の構成において、上記主信号は、音声信号であり、上記副信号は、当該音声信号の著作権保護のためのフラグ、IDコード、またはマスタリングコードのうちの少なくとも1つであると共に、上記制御手段は、当該副信号に基づいて、上記音声信号の複写または復調出力を制限する構成である。

【0145】上記構成において、上記制御手段は、1ビットデジタル信号から副信号を抽出し、副信号が複写または復調出力を許可していない場合、音声信号の複写または復調出力を制限する。これにより、変調側において、復調側における複写または復調出力の許可/不許可を指定できるという効果を奏する。

【0146】さらに、副信号は、音声信号の有効周波数帯域内の特定周波数にて周波数分割多重されるので、副信号の改竄が困難である。この結果、復調回路は、変調側において指示された複写または復調出力の許可/不許可に基づいて、音声信号の複写または復調出力を確実に制限できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すものであり、デルタシグマ変調回路の要部構成を示すブロック図である。

【図2】上記デルタシグマ変調回路が副信号としてチャンネル情報を重畳する場合の音声信号伝送装置全体の構成

を示すブロック図である。

【図3】上記デルタシグマ変調回路が出力する1ビットデジタル信号における量子化ノイズレベルの周波数特性を示すグラフである。

【図4】上記音声信号伝送装置において、副信号を重畳しない側のデルタシグマ変調回路を示すブロック図である。

【図5】本発明の他の実施形態を示すものであり、副信号として、プリエンファシスの有無を付加する音声信号伝送装置を示すブロック図である。

【図6】本発明のさらに他の実施形態を示すものであり、副信号として時間情報を付加する音声信号伝送装置を示すブロック図である。

【図7】本発明のさらに他の実施形態を示すものであり、副信号として著作権保護のためのフラグを付加する音声信号伝送装置を示すブロック図である。

【図8】本発明のさらに他の実施形態を示すものであり、副信号としてIDコードを付加する音声信号伝送装置を示すブロック図である。

【図9】上記量子化ノイズレベルの周波数特性と、副信号との関連を説明するためのグラフである。

【図10】上記量子化ノイズレベルの周波数特性と、副信号との関連を説明するためのグラフである。

【図11】上記量子化ノイズレベルの周波数特性と、副信号との関連を説明するためのグラフである。

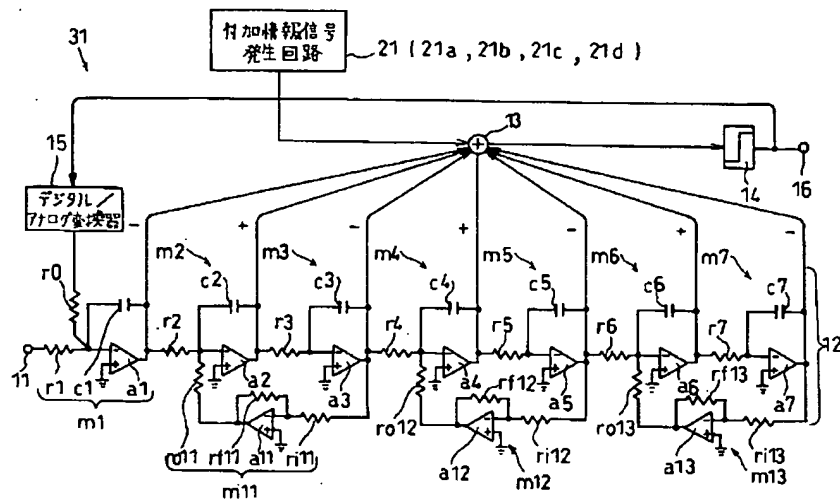
【図12】従来例を示すものであり、デルタシグマ変調回路の要部構成を示すブロック図である。

【図13】従来のマルチビット符号化方式における量子化ノイズレベルの周波数特性を示すグラフである。

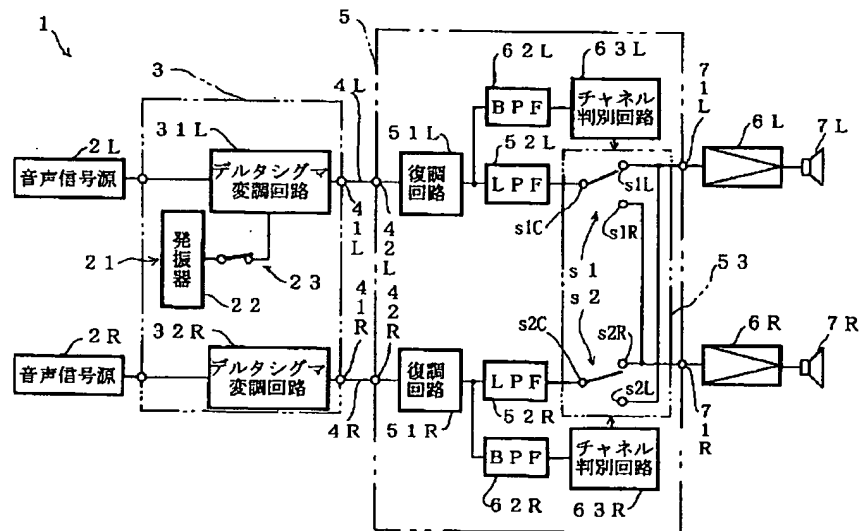
【符号の説明】

4 L・4 R	伝送路
5・5 a～5 d	受信回路（復調回路）
1 3	加算器
1 4	量子化器
m 1～m 7	積分器
m 1 1～m 1 3	帰還回路（部分負帰還回路）
3 1	デルタシグマ変調回路
2 1・2 1 a～2 1 d	付加情報信号発生回路（副信号重畳手段）
5 3	チャンネル切り換え回路（制御手段）
5 4 L・5 4 R	ディエンファシス回路（制御手段）
5 5	出力制御回路（制御手段）
6 3 L・6 3 R	チャンネル判別回路（制御手段）
6 4 L	エンファシス判別回路（制御手段）
6 5	デコーダ（制御手段）
6 8 L・6 8 R	フラグ判別回路（制御手段）
6 9 L・6 9 R	コード判別回路（制御手段）

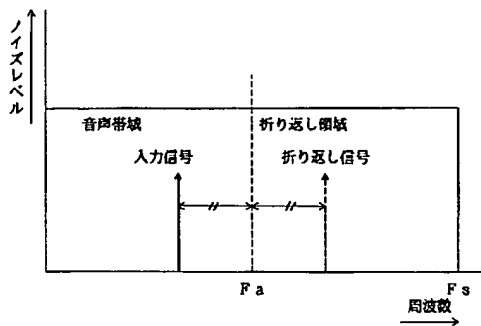
【図1】



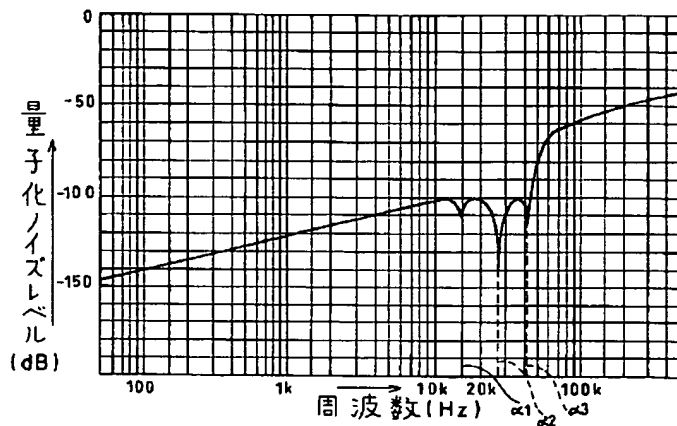
【図2】



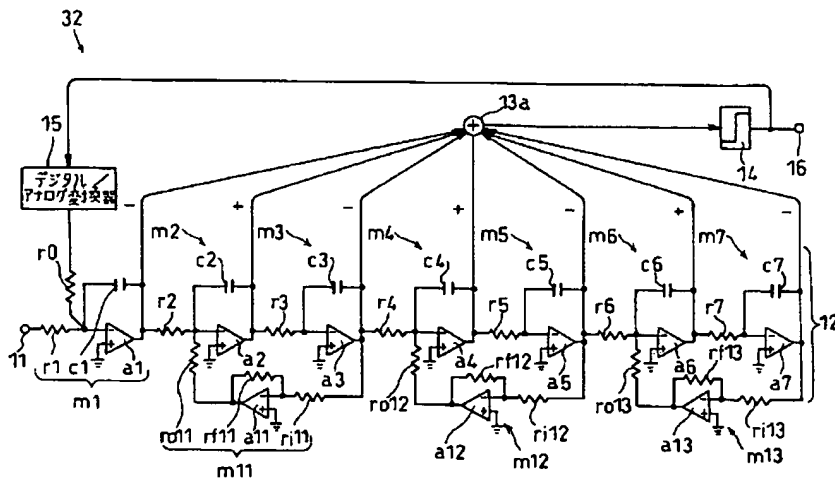
【図13】



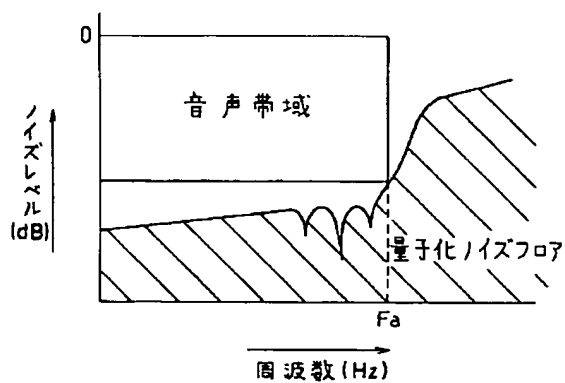
【図3】



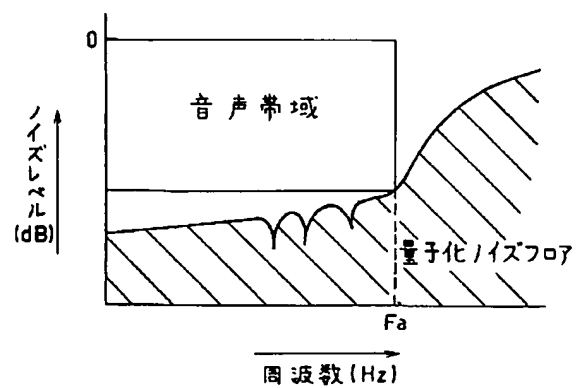
【図4】



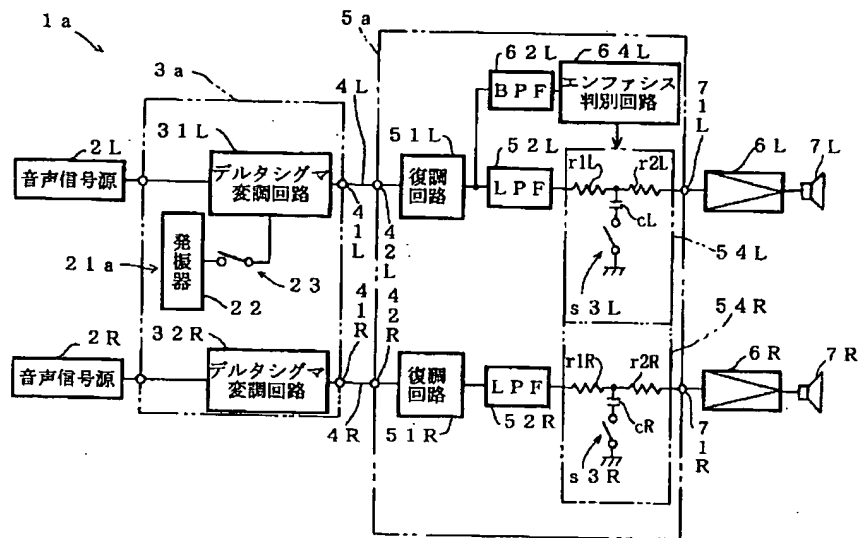
【図9】



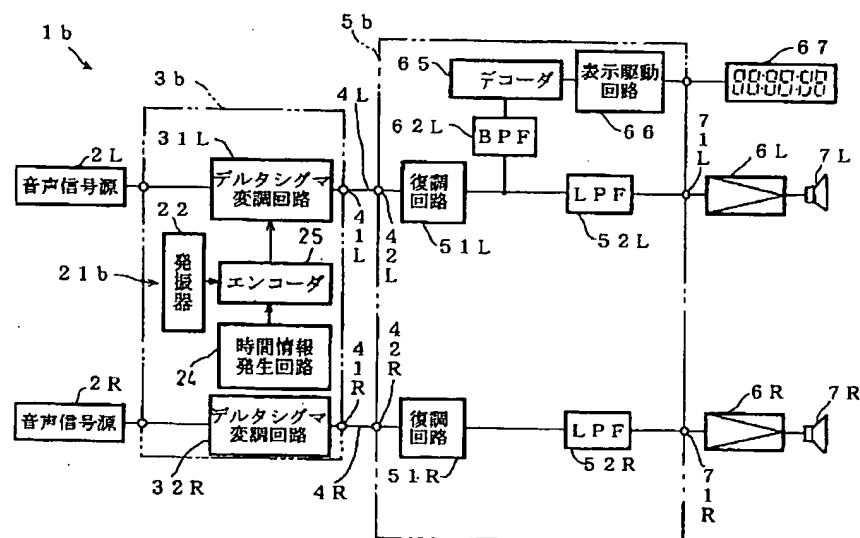
【図10】



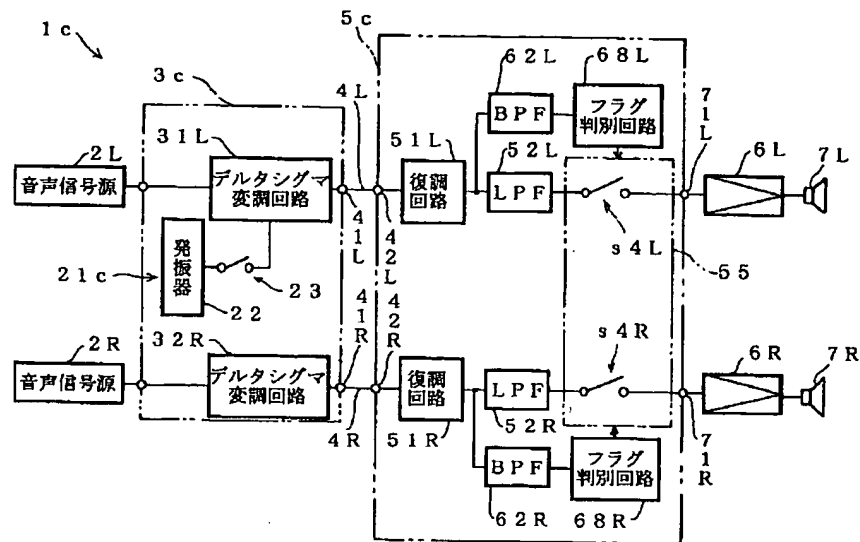
【図5】



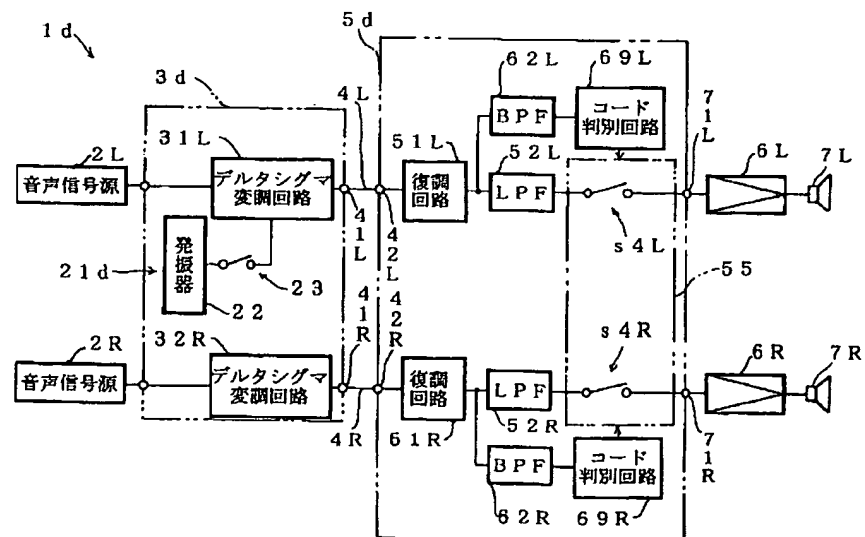
【図6】



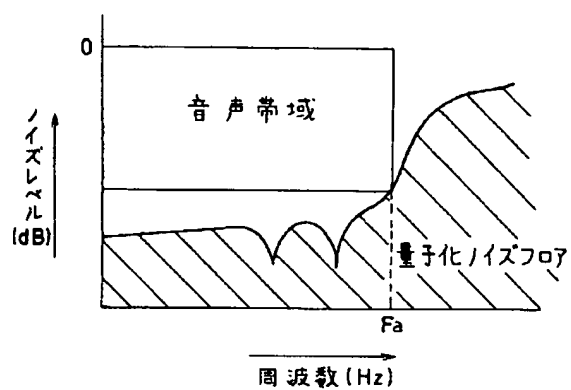
【図7】



【図8】



【図11】



【図12】

